Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
1A		TDI		TDI			J20	G28	C29	J29												
1A		TMS		TMS			G23	H28	A33	N27												
1A		TRST		TRST			D26	K26	B34	A32												
1A		TCK		TCK			D25	F29	B33	G30												
1A		TDO		TDO			E25	G29	E29	F30												
1A	VREFB1AN0	IO			DIFFIO_TX_L1n	DIFFOUT_L1n	H23	G30	K26	K29												
1A	VREFB1AN0	IO			DIFFIO_TX_L1p	DIFFOUT_L1p	H22	H29	L26	L29												
1A	VREFB1AN0	IO	RDN1A		DIFFIO_RX_L1n	DIFFOUT_L2n	D28	E31	F30	C34												
1A	VREFB1AN0	IO	RUP1A		DIFFIO_RX_L1p	DIFFOUT_L2p	D27	E30	F29	D34												
1A	VREFB1AN0	IO			DIFFIO_TX_L2n	DIFFOUT_L3n	G25	J29	J27	J30	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L2p	DIFFOUT_L3p	G24	J28	J26	K30	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L2n	DIFFOUT_L4n	B28	C32	D30	C31	DQSn1L	DQ1L	DQ1L	DQSn1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQSn1L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L2p	DIFFOUT_L4p	C28	D32	D29	D31	DQS1L	DQ1L/CQn1L	DQ1L	DQS1L	DQ1L/CQn1L	DQ1L	DQS1L	DQ1L/CQn1L	DQ1L	DQS1L	DQ1L/CQn1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L3n	DIFFOUT_L5n	F26	K28	G28	M28	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L3p	DIFFOUT_L5p	F25	L27	G27	N28	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L3n	DIFFOUT_L6n	E28	B34	G30	C35	DQSn2L	DQSn1L/DQ1L	DQ1L	DQSn2L	DQSn1L/DQ1L	DQ1L	DQSn2L	DQSn1L/DQ1L	DQ1L	DQSn2L	DQSn1L/DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L3p	DIFFOUT_L6p	E27	A33	G29	D35	DQS2L	DQS1L/CQ1L	DQ1L/CQn1L	DQS2L	DQS1L/CQ1L	DQ1L/CQn1L	DQS2L	DQS1L/CQ1L	DQ1L/CQn1L	DQS2L	DQS1L/CQ1L	DQ1L/CQn1L
1A	VREFB1AN0	IO			DIFFIO_TX_L4n	DIFFOUT_L7n	H25	L26	K28	H32	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L4p	DIFFOUT_L7p	H24	M25	K27	J32	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L4n	DIFFOUT_L8n	G27	C34	H30	B32	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L4p	DIFFOUT_L8p	G26	B33	H29	C32	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L5n	DIFFOUT_L9n	K24	N25	M28	M31	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L5p	DIFFOUT_L9p	K23	N24	L27	N31	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L5n	DIFFOUT_L10n	F28	F32	J30	C33	DQSn3L	DQ2L	DQSn1L/DQ1L	DQSn3L	DQ2L	DQSn1L/DQ1L	DQSn3L	DQ2L	DQSn1L/DQ1L	DQSn3L	DQ2L	DQSn1L/DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L5p	DIFFOUT_L10p	G28	F31	J29	D33	DQS3L	DQ2L/CQn2L	DQS1L/CQ1L	DQS3L	DQ2L/CQn2L	DQS1L/CQ1L	DQS3L	DQ2L/CQn2L	DQS1L/CQ1L	DQS3L	DQ2L/CQn2L	DQS1L/CQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L6n	DIFFOUT_L11n	K22	K29	M26	M30	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L6p	DIFFOUT_L11p	K21	L28	N26	N30	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L	DQ3L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L6n	DIFFOUT_L12n	J26	D34	K30	G31	DQSn4L	DQSn2L/DQ2L	DQ1L	DQSn4L	DQSn2L/DQ2L	DQ1L	DQSn4L	DQSn2L/DQ2L	DQ1L	DQSn4L	DQSn2L/DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L6p	DIFFOUT_L12p	J25	D33	K29	H31	DQS4L	DQS2L/CQ2L	DQ1L	DQS4L	DQS2L/CQ2L	DQ1L	DQS4L	DQS2L/CQ2L	DQ1L	DQS4L	DQS2L/CQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L7n	DIFFOUT_L13n	L21	H31	M29	M29	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L7p	DIFFOUT_L13p	L20	H30	N28	N29	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L7n	DIFFOUT_L14n	H28	G32	L30	E31	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_RX_L7p	DIFFOUT_L14p	H27	G31	L29	F31	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L	DQ4L	DQ2L	DQ1L
1A	VREFB1AN0	IO			DIFFIO_TX_L8n	DIFFOUT_L15n	L23	K30	P26	K31				DQ5L	DQ3L			DQ3L		DQ5L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_TX_L8p	DIFFOUT_L15p	L22	L29	R26	L31				DQ5L	DQ3L			DQ3L		DQ5L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_RX_L8n	DIFFOUT_L16n	K26	E34	M30	E32				DQSn5L	DQ3L			DQ3L		DQSn5L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_RX_L8p	DIFFOUT_L16p	K25	E33	N29	F32				DQ5L	DQ3L/CQn3L			DQ3L/CQn3L		DQ5L	DQ3L/CQn3L	
1A	VREFB1AN0	IO			DIFFIO_TX_L9n	DIFFOUT_L17n		N27	N25	R28				DQ5L	DQ3L			DQ3L		DQ5L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_TX_L9p	DIFFOUT_L17p		N26	N24	T28				DQ5L	DQ3L			DQ3L		DQ5L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_RX_L9n	DIFFOUT_L18n		F34	R25	E34				DQSn6L	DQSn3L/DQ3L			DQSn3L/DQ3L		DQSn6L	DQSn3L/DQ3L	
1A	VREFB1AN0	IO			DIFFIO_RX_L9p	DIFFOUT_L18p		G33	P24	F34				DQ6L	DQS3L/CQ3L			DQS3L/CQ3L		DQ6L	DQS3L/CQ3L	
1A	VREFB1AN0	IO			DIFFIO_TX_L10n	DIFFOUT_L19n		K31	U27	R27				DQ6L	DQ3L			DQ3L		DQ6L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_TX_L10p	DIFFOUT_L19p		L30	U26	T27				DQ6L	DQ3L			DQ3L		DQ6L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_RX_L10n	DIFFOUT_L20n		J32	T30	F35				DQ6L	DQ3L			DQ3L		DQ6L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_RX_L10p	DIFFOUT_L20p		J31	T29	G35				DQ6L	DQ3L			DQ3L		DQ6L	DQ3L	
1A	VREFB1AN0	IO			DIFFIO_TX_L11n	DIFFOUT_L21n		M29	U25	J33				DQ7L						DQ7L		
1A	VREFB1AN0	IO			DIFFIO_TX_L11p	DIFFOUT_L21p		N28	V24	K32				DQ7L						DQ7L		
1A	VREFB1AN0	IO			DIFFIO_RX_L11n	DIFFOUT_L22n		G34	U29	F33				DQSn7L						DQSn7L		
1A	VREFB1AN0	IO			DIFFIO_RX_L11p	DIFFOUT_L22p		H33	U28	G33				DQS7L						DQS7L		
1A	VREFB1AN0	IO			DIFFIO_TX_L12n	DIFFOUT_L23n		P24	T24	P29				DQ7L						DQ7L		
1A	VREFB1AN0	IO			DIFFIO_TX_L12p	DIFFOUT_L23p		P23	U24	R29				DQ7L						DQ7L		
1A	VREFB1AN0	IO			DIFFIO_RX_L12n	DIFFOUT_L24n		H34	V28	H35												
1A	VREFB1AN0	IO			DIFFIO_RX_L12p	DIFFOUT_L24p		J34	V27	H34												
1C	VREFB1CN0	IO			DIFFIO_TX_L13n	DIFFOUT_L25n		P26	W24	L32				DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L13p	DIFFOUT_L25p		R25	Y24	M32				DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L13n	DIFFOUT_L26n		K32	V30	J35				DQSn8L	DQ8L	DQ8L	DQSn8L	DQ8L	DQ8L	DQSn8L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L13p	DIFFOUT_L26p		L31	V29	J34				DQS8L	DQ8L/CQn8L	DQ8L	DQS8L	DQ8L/CQn8L	DQ8L	DQS8L	DQ8L/CQn8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L14n	DIFFOUT_L27n		N30	AA26	P32				DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L14p	DIFFOUT_L27p		N29	Y25	P31				DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L14n	DIFFOUT_L28n		K34	AB30	K35				DQSn9L	DQS8L/DQ8L	DQ8L	DQSn9L	DQS8L/DQ8L	DQ8L	DQSn9L	DQS8L/DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L14p	DIFFOUT_L28p		K33	AA29	K34				DQS9L	DQS8L/CQ8L	DQ8L/CQn8L	DQS9L	DQS8L/CQ8L	DQ8L/CQn8L	DQS9L	DQS8L/CQ8L	DQ8L/CQn8L
1C	VREFB1CN0	IO			DIFFIO_TX_L15n	DIFFOUT_L29n		P28	AB26	T31				DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L15p	DIFFOUT_L29p		P27	AB25	T30				DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L15n	DIFFOUT_L30n		L34	AB29	N34				DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L15p	DIFFOUT_L30p		L33	AC29	N33				DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L16n	DIFFOUT_L31n		T25	AC25	R33				DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L16p	DIFFOUT_L31p		T24	AC24	R32				DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L16n	DIFFOUT_L32n		M32	AC28	M34				DQSn10L	DQ9L	DQSn8L/DQ8L	DQSn10L	DQ9L	DQSn8L/DQ8L	DQSn10L	DQ9L	DQSn8L/DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L16p	DIFFOUT_L32p		M31	AB27	M33				DQS10L	DQ9L/CQn9L	DQS8L/CQ8L	DQS10L	DQ9L/CQn9L	DQS8L/CQ8L	DQS10L	DQ9L/CQn9L	DQS8L/CQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L17n	DIFFOUT_L33n	L24	T23	AF27	V28				DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L17p	DIFFOUT_L33p	M23	U23	AE26	W28				DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L	DQ10L	DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L17n	DIFFOUT_L34n	L26	N32	AH30	L35	DQSn8L			DQSn11L	DQS9L/DQ9L	DQ8L	DQSn11L	DQS9L/DQ9L	DQ8L	DQSn11L	DQS9L/DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L17p	DIFFOUT_L34p	L25	N31	AG29	L34	DQS8L			DQS11L	DQS9L/CQ9L	DQ8L	DQS11L	DQS9L/CQ9L	DQ8L	DQS11L	DQS9L/CQ9L	DQ8L
1C	VREFB1CN0	IO	CLKUSR		DIFFIO_TX_L18n	DIFFOUT_L35n	N21	P29	AH28	R31	DQ8L			DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_TX_L18p	DIFFOUT_L35p	N20	R29	AG27	R30	DQ8L			DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L18n	DIFFOUT_L36n	J28	M34	AJ30	V31	DQ8L			DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L
1C	VREFB1CN0	IO			DIFFIO_RX_L18p	DIFFOUT_L36p	K28	N33	AH29	L31	DQ8L			DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L	DQ11L	DQ9L	DQ8L
1C	VREFB1CN0	IO		DATA0	DIFFIO_TX_L19n	DIFFOUT_L37n	N23	T29	AC27	W30	DQ9L	DQ8L		DQ12L	DQ10L		DQ12L	DQ10L		DQ12L	DQ10L	
1C	VREFB1CN0	IO		DATA1	DIFFIO_TX_L19p	DIFFOUT_L37p	N22	T28	AC26	W29	DQ9L	DQ8L		DQ12L	DQ10L		DQ12L	DQ10L		DQ12L	DQ10L	
1C	VREFB1CN0	IO		DATA2	DIFFIO_RX_L19n	DIFFOUT_L38n	L28	P32	AG30	N35	DQSn9L	DQ8L		DQSn12L	DQ10L		DQSn12L	DQ10L		DQSn12L	DQ10L	
1C	VREFB1CN0	IO		DATA3	DIFFIO_RX_L19p	DIFFOUT_L38p	K27	P31	AF29	P34	DQS9L	DQ8L/CQn8L		DQS12L	DQ10L/CQn10L		DQS12L	DQ10L/CQn10L		DQS12L	DQ10L/CQn10L	
1C	VREFB1CN0	IO		DATA4	DIFFIO_TX_L20n	DIFFOUT_L39n	P21	T27	AD27	V27	DQ9L	DQ8L		DQ12L	DQ10L		DQ12L	DQ10L		DQ12L	DQ10L	
1C	VREFB1CN0	IO		DATA5	DIFFIO_TX_L20p	DIFFOUT_L39p	P20	T26	AE27	W26	DQ9L	DQ8L		DQ12L	DQ10L		DQ12L	DQ10L		DQ12L	DQ10L	
1C	VREFB1CN0	IO		DATA6	DIFFIO_RX_L20n	DIFFOUT_L40n	M26	N34	AE30	R35	DQSn10L	DQSn8L/DQ8L		DQSn13L	DQSn10L/DQ10L		DQSn13L	DQSn10L/DQ10L		DQSn13L	DQSn10L/DQ10L	
1C	VREFB1CN0	IO		DATA7	DIFFIO_RX_L20p	DIFFOUT_L40p	M25	P33	AE29	R34	DQS10L	DQS8L/CQ8L		DQS13L	DQS10L/CQ10L		DQS13L	DQS10L/CQ10L		DQS13L	DQS10L/CQ10L	
1C	VREFB1CN0	IO		INIT_DONE	DIFFIO_TX_L21n	DIFFOUT_L41n	N25	V25	AE28	V30	DQ10L	DQ9L		DQ13L	DQ10L		DQ13L	DQ10L		DQ13L	DQ10L	
1C	VREFB1CN0	IO		CRC_ERROR	DIFFIO_TX_L21p	DIFFOUT_L41p	N24	U24	AF28	V29	DQ10L	DQ9L		DQ13L	DQ10L		DQ13L	DQ10L		DQ13L	DQ10L	
1C	VREFB1CN0	IO		DEV_OE	DIFFIO_RX_L21n	DIFFOUT_L42n	M28	R32	AD30	U35	DQ10L	DQ8L		DQ13L	DQ10L		DQ13L	DQ10L		DQ13L	DQ10L	
1C	VREFB1CN0	IO		DEV_CLRn	DIFFIO_RX_L21p	DIFFOUT_L42p	L27	R31	AD29	V34	DQ10L	DQ8L		DQ13L	DQ10L		DQ13L	DQ10L		DQ13L	DQ10L	
1C	VREFB1CN0	IO	PLL_L2_CLKOUT0n		DIFFIO_TX_L22n	DIFFOUT_L43n	P26	V23	AK30	W33												
1C	VREFB1CN0	IO	PLL_L2_FB_CLKOUT0p		DIFFIO_TX_L22p	DIFFOUT_L43p	P25	W23	AJ29	W32												
1C	VREFB1CN0	IO	CLK0n		DIFFIO_RX_L22n	DIFFOUT_L44n	N28	T31	AL30	W35												
1C	VREFB1CN0	IO	CLK0p		DIFFIO_RX_L22p	DIFFOUT_L44p	N27	T30	AK29	W34												
1C	VREFB1CN0	CLK1n	CLK1n				P28	P34	AM34	AA35												
1C	VREFB1CN0	CLK1p	CLK1p				P27	R34	AM33	AB34												
2C	VREFB2CN0	CLK3p	CLK3p				T28			AC34												
2C	VREFB2CN0	CLK3n	CLK3n				R28			AC35												
2C	VREFB2CN0	IO	CLK2p		DIFFIO_RX_L23p	DIFFOUT_L45p	T27			AF34												
2C	VREFB2CN0	IO	CLK2n		DIFFIO_RX_L23n	DIFFOUT_L45n	U28			AE35												
2C	VREFB2CN0	IO	PLL_L3_FB_CLKOUT0p		DIFFIO_TX_L23p	DIFFOUT_L46p	R25			AG34												
2C	VREFB2CN0	IO	PLL_L3_CLKOUT0n		DIFFIO_TX_L23n	DIFFOUT_L46n	R26			AG35												
2C	VREFB2CN0	IO			DIFFIO_RX_L24p	DIFFOUT_L47p	T25			AC31	DQ17L	DQ19L								DQ14L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_RX_L24n	DIFFOUT_L47n	U26			AC32	DQ17L	DQ19L								DQ14L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_TX_L24p	DIFFOUT_L48p	R20			AB32	DQ17L	DQ19L								DQ14L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_TX_L24n	DIFFOUT_L48n	T21			AB31	DQ17L	DQ19L								DQ14L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_RX_L25p	DIFFOUT_L49p	U27			AJ34	DQS17L	DQS19L/CQ19L								DQS14L	DQS17L/CQ17L	
2C	VREFB2CN0	IO			DIFFIO_RX_L25n	DIFFOUT_L49n	V28			AJ35	DQSn17L	DQSn19L/DQ19L								DQSn14L	DQSn17L/DQ17L	
2C	VREFB2CN0	IO			DIFFIO_TX_L25p	DIFFOUT_L50p	T22			AB27	DQ18L	DQ19L								DQ15L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_TX_L25n	DIFFOUT_L50n	T23			AB28	DQ18L	DQ19L								DQ15L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_RX_L26p	DIFFOUT_L51p	U25			AH34	DQS18L	DQ19L/CQn19L								DQS15L	DQ17L/CQn17L	
2C	VREFB2CN0	IO			DIFFIO_RX_L26n	DIFFOUT_L51n	V26			AH35	DQSn18L	DQ19L								DQSn15L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_TX_L26p	DIFFOUT_L52p	T20			AC28	DQ18L	DQ19L								DQ15L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_TX_L26n	DIFFOUT_L52n	U21			AC29	DQ18L	DQ19L								DQ15L	DQ17L	
2C	VREFB2CN0	IO			DIFFIO_RX_L27p	DIFFOUT_L53p	W27			AK34	DQ19L									DQ16L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L27n	DIFFOUT_L53n	W28			AK35	DQ19L									DQ16L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L27p	DIFFOUT_L54p	U23			AG33	DQ19L									DQ16L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L27n	DIFFOUT_L54n	U24			AG32	DQ19L									DQ16L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L28p	DIFFOUT_L55p	V25			AL34	DQS19L									DQS16L	DQS18L/CQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L28n	DIFFOUT_L55n	W26			AL35	DQSn19L									DQSn16L	DQSn18L/DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L28p	DIFFOUT_L56p	V22			AD28										DQ17L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L28n	DIFFOUT_L56n	V23			AD29										DQ17L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L29p	DIFFOUT_L57p				AH32										DQS17L	DQS18L/CQn18L	DQS19L/CQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L29n	DIFFOUT_L57n				AH33										DQSn17L	DQ18L	DQS19L/DQ19L

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
2C	VREFB2CN0	IO			DIFFIO_TX_L29p	DIFFOUT_L58p				AE28										DQ17L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L29n	DIFFOUT_L58n				AE29										DQ17L	DQ18L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L30p	DIFFOUT_L59p				AN34										DQ18L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L30n	DIFFOUT_L59n				AN35										DQ18L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L30p	DIFFOUT_L60p				AD30										DQ18L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L30n	DIFFOUT_L60n				AD31										DQ18L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L31p	DIFFOUT_L61p				AM34										DQS18L	DQS19L/CQ19L	DQ19L/CQn19L
2C	VREFB2CN0	IO			DIFFIO_RX_L31n	DIFFOUT_L61n				AM35										DQSn18L	DQSn19L/DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L31p	DIFFOUT_L62p				AF29										DQ19L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L31n	DIFFOUT_L62n				AG30										DQ19L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L32p	DIFFOUT_L63p				AJ32										DQS19L	DQ19L/CQn19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_RX_L32n	DIFFOUT_L63n				AK33										DQSn19L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L32p	DIFFOUT_L64p				AE30										DQ19L	DQ19L	DQ19L
2C	VREFB2CN0	IO			DIFFIO_TX_L32n	DIFFOUT_L64n				AE31										DQ19L	DQ19L	DQ19L
2A	VREFB2AN0	IO			DIFFIO_RX_L33p	DIFFOUT_L65p				AN32												
2A	VREFB2AN0	IO			DIFFIO_RX_L33n	DIFFOUT_L65n				AP33												
2A	VREFB2AN0	IO			DIFFIO_TX_L33p	DIFFOUT_L66p				AC26										DQ20L		
2A	VREFB2AN0	IO			DIFFIO_TX_L33n	DIFFOUT_L66n				AD26										DQ20L		
2A	VREFB2AN0	IO			DIFFIO_RX_L34p	DIFFOUT_L67p				AN33										DQS20L		
2A	VREFB2AN0	IO			DIFFIO_RX_L34n	DIFFOUT_L67n				AP34										DQSn20L		
2A	VREFB2AN0	IO			DIFFIO_TX_L34p	DIFFOUT_L68p				AD27										DQ20L		
2A	VREFB2AN0	IO			DIFFIO_TX_L34n	DIFFOUT_L68n				AE27										DQ20L		
2A	VREFB2AN0	IO			DIFFIO_RX_L35p	DIFFOUT_L69p				AT34										DQ21L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_RX_L35n	DIFFOUT_L69n				AR34										DQ21L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_TX_L35p	DIFFOUT_L70p				AJ31										DQ21L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_TX_L35n	DIFFOUT_L70n				AH30										DQ21L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_RX_L36p	DIFFOUT_L71p				AT33										DQS21L	DQS24L/CQ24L	
2A	VREFB2AN0	IO			DIFFIO_RX_L36n	DIFFOUT_L71n				AU33										DQSn21L	DQSn24L/DQ24L	
2A	VREFB2AN0	IO			DIFFIO_TX_L36p	DIFFOUT_L72p				AK32										DQ22L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_TX_L36n	DIFFOUT_L72n				AL32										DQ22L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_RX_L37p	DIFFOUT_L73p	Y27			AP35										DQS22L	DQ24L/CQn24L	
2A	VREFB2AN0	IO			DIFFIO_RX_L37n	DIFFOUT_L73n	Y28			AR35										DQSn22L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_TX_L37p	DIFFOUT_L74p	W24			AG29										DQ22L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_TX_L37n	DIFFOUT_L74n	W25			AH29										DQ22L	DQ24L	
2A	VREFB2AN0	IO			DIFFIO_RX_L38p	DIFFOUT_L75p	AB28			AP32	DQ23L	DQ25L	DQ26L							DQ23L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L38n	DIFFOUT_L75n	AA28			AR32	DQ23L	DQ25L	DQ26L							DQ23L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L39p	DIFFOUT_L76p	W22			AK31	DQ23L	DQ25L	DQ26L							DQ23L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L38n	DIFFOUT_L76n	W23			AL31	DQ23L	DQ25L	DQ26L							DQ23L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L39p	DIFFOUT_L77p	AB27			AN30	DQS23L	DQS25L/CQ25L	DQ26L							DQS23L	DQS25L/CQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L39n	DIFFOUT_L77n	AC28			AP30	DQSn23L	DQSn25L/DQ25L	DQ26L							DQSn23L	DQSn25L/DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L39p	DIFFOUT_L78p	V20			AE26	DQ24L	DQ25L	DQ26L							DQ24L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L39n	DIFFOUT_L78n	W21			AF26	DQ24L	DQ25L	DQ26L							DQ24L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L40p	DIFFOUT_L79p	AC27			AM31	DQS24L	DQ25L/CQn25L	DQS26L/CQ26L							DQS24L	DQ25L/CQn25L	DQS26L/CQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L40n	DIFFOUT_L79n	AD28			AN31	DQSn24L	DQ25L	DQSn26L/DQ26L							DQSn24L	DQ25L	DQSn26L/DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L40p	DIFFOUT_L80p	Y25			AK30	DQ24L	DQ25L	DQ26L							DQ24L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L40n	DIFFOUT_L80n	Y26			AL30	DQ24L	DQ25L	DQ26L							DQ24L	DQ25L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L41p	DIFFOUT_L81p	AA25			AT31	DQ25L	DQ26L	DQ26L							DQ25L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L41n	DIFFOUT_L81n	AA26			AU31	DQ25L	DQ26L	DQ26L							DQ25L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L41p	DIFFOUT_L82p	AB25			AG28	DQ25L	DQ26L	DQ26L							DQ25L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L41n	DIFFOUT_L82n	AC26			AH28	DQ25L	DQ26L	DQ26L							DQ25L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L42p	DIFFOUT_L83p	AE27			AR31	DQS25L	DQS26L/CQ26L	DQ26L/CQn26L							DQS25L	DQS26L/CQ26L	DQ26L/CQn26L
2A	VREFB2AN0	IO			DIFFIO_RX_L42n	DIFFOUT_L83n	AE28			AT30	DQSn25L	DQSn26L/DQ26L	DQ26L							DQSn25L	DQSn26L/DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L42p	DIFFOUT_L84p	Y23			AG27	DQ26L	DQ26L	DQ26L							DQ26L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L42n	DIFFOUT_L84n	Y24			AH27	DQ26L	DQ26L	DQ26L							DQ26L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L43p	DIFFOUT_L85p	AF27			AT32	DQS26L	DQ26L/CQn26L	DQ26L							DQS26L	DQ26L/CQn26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_RX_L43n	DIFFOUT_L85n	AF28			AU32	DQSn26L	DQ26L	DQ26L							DQSn26L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L43p	DIFFOUT_L86p	AB23			AL29	DQ26L	DQ26L	DQ26L							DQ26L	DQ26L	DQ26L
2A	VREFB2AN0	IO			DIFFIO_TX_L43n	DIFFOUT_L86n	AB24			AM29	DQ26L	DQ26L	DQ26L							DQ26L	DQ26L	DQ26L
2A	VREFB2AN0	IO	RUP2A		DIFFIO_RX_L44p	DIFFOUT_L87p	AH27			AU34												
2A	VREFB2AN0	IO	RDN2A		DIFFIO_RX_L44n	DIFFOUT_L87n	AG28			AV34												
2A	VREFB2AN0	IO			DIFFIO_TX_L44p	DIFFOUT_L88p	AC25			AJ29												
2A	VREFB2AN0	IO			DIFFIO_TX_L44n	DIFFOUT_L88n	AD26			AK29												
		nCONFIG		nCONFIG			AA22	AC27	AL31	AW36												
		nSTATUS		nSTATUS			AC23	AM30	AL32	AW35												
		CONF_DONE		CONF_DONE			AC24	AN30	AK32	AV35												
		PORSEL		PORSEL			W20	AL28	AP33	AP29												
		nCE		nCE			Y21	AM29	AN33	AN29												
3A	VREFB3AN0	IO				DIFFOUT_B1n	AB21	AA25	AM31	AD25	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B1p	AC21	AB25	AP32	AE25	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
3A	VREFB3AN0	IO	RDN3A		DIFFIO_RX_B1n	DIFFOUT_B2n	AD22	AC26	AP31	AG25	DQSn1B	DQ1B	DQ1B	DQSn1B	DQ1B	DQ1B	DQSn1B	DQ1B	DQ1B	DQSn1B	DQ1B	DQ1B
3A	VREFB3AN0	IO	RUP3A		DIFFIO_RX_B1p	DIFFOUT_B2p	AC22	AC25	AP30	AF25	DQS1B	DQ1B/CQn1B	DQ1B	DQS1B	DQ1B/CQn1B	DQ1B	DQS1B	DQ1B/CQn1B	DQ1B	DQS1B	DQ1B/CQn1B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B3n	AA20	AB24	AN32	AE24	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B3p	AB20	AC24	AN30	AK27	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B2n	DIFFOUT_B4n	AE23	AE25	AP29	AK26	DQSn2B	DQSn1B/DQ1B	DQ1B	DQSn2B	DQSn1B/DQ1B	DQ1B	DQSn2B	DQSn1B/DQ1B	DQ1B	DQSn2B	DQSn1B/DQ1B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B2p	DIFFOUT_B4p	AD23	AD26	AN29	AJ26	DQS2B	DQS1B/CQ1B	DQS1B/CQn1B	DQS2B	DQS1B/CQ1B	DQ1B/CQn1B	DQS2B	DQS1B/CQ1B	DQ1B/CQn1B	DQS2B	DQS1B/CQ1B	DQ1B/CQn1B
3A	VREFB3AN0	IO				DIFFOUT_B5n	AE24	AD23	AP28	AH26	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B5p	AE25	AE24	AP26	AL27	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B3n	DIFFOUT_B6n	AG23	AE27	AP27	AK25	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B3p	DIFFOUT_B6p	AF24	AE26	AN27	AJ25	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B7n	AF25	AG26	AM29	AW34	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B7p	AF26	AF24	AM30	AW33	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B4n	DIFFOUT_B8n	AH25	AH27	AN26	AW32	DQSn3B	DQ2B	DQSn1B/DQ1B	DQSn3B	DQ2B	DQSn1B/DQ1B	DQSn3B	DQ2B	DQSn1B/DQ1B	DQSn3B	DQ2B	DQSn1B/DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B4p	DIFFOUT_B8p	AG25	AH26	AM26	AV32	DQS3B	DQ2B/CQn2B	DQS1B/CQ1B	DQS3B	DQ2B/CQn2B	DQS1B/CQ1B	DQS3B	DQ2B/CQn2B	DQS1B/CQ1B	DQS3B	DQ2B/CQn2B	DQS1B/CQ1B
3A	VREFB3AN0	IO				DIFFOUT_B9n	AG26	AJ27	AL28	AV31	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B9p	AH26	AG25	AM28	AW31	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B5n	DIFFOUT_B10n	AH24	AH25	AM25	AW30	DQSn4B	DQSn2B/DQ2B	DQ1B	DQSn4B	DQSn2B/DQ2B	DQ1B	DQSn4B	DQSn2B/DQ2B	DQ1B	DQSn4B	DQSn2B/DQ2B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B5p	DIFFOUT_B10p	AH23	AH24	AL25	AV29	DQS4B	DQS2B/CQ2B	DQ1B	DQS4B	DQS2B/CQ2B	DQ1B	DQS4B	DQS2B/CQ2B	DQ1B	DQS4B	DQS2B/CQ2B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B11n	AG22	AJ25	AL27	AW28	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B11p	AH22	AK26	AL26	AW27	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B6n	DIFFOUT_B12n	AF22	AD23	AK27	AW29	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B
3A	VREFB3AN0	IO			DIFFIO_RX_B6p	DIFFOUT_B12p	AE22	AF23	AJ27	AV28	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B
3A	VREFB3AN0	IO				DIFFOUT_B13n	AH20	AL27	AF23	AN27	DQ5B	DQ3B		DQ5B	DQ3B		DQ5B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO				DIFFOUT_B13p	AH21	AM27	AK25	AP27	DQ5B	DQ3B		DQ5B	DQ3B		DQ5B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO			DIFFIO_RX_B7n	DIFFOUT_B14n	AF21	AM26	AK26	AN26	DQSn5B	DQ3B		DQSn5B	DQ3B		DQSn5B	DQ3B		DQSn5B	DQ3B	
3A	VREFB3AN0	IO			DIFFIO_RX_B7p	DIFFOUT_B14p	AE21	AL26	AJ26	AM26	DQS5B	DQ3B/CQn3B		DQS5B	DQ3B/CQn3B		DQS5B	DQ3B/CQn3B		DQS5B	DQ3B/CQn3B	
3A	VREFB3AN0	IO				DIFFOUT_B15n	AG19	AK25	AF24	AP26	DQ5B	DQ3B		DQ5B	DQ3B		DQ5B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO				DIFFOUT_B15p	AG20	AN28	AF26	AL25	DQ5B	DQ3B		DQ5B	DQ3B		DQ5B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO			DIFFIO_RX_B8n	DIFFOUT_B16n	AF19	AP32	AF25	AR28	DQSn6B	DQSn3B/DQ3B		DQSn6B	DQSn3B/DQ3B		DQSn6B	DQSn3B/DQ3B		DQSn6B	DQSn3B/DQ3B	
3A	VREFB3AN0	IO			DIFFIO_RX_B8p	DIFFOUT_B16p	AE20	AP31	AE25	AP28	DQS6B	DQS3B/CQ3B		DQS6B	DQS3B/CQ3B		DQS6B	DQS3B/CQ3B		DQS6B	DQS3B/CQ3B	
3A	VREFB3AN0	IO				DIFFOUT_B17n	AD19	AP28	AH24	AT29	DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO				DIFFOUT_B17p	AC19	AP27	AG26	AU29	DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO			DIFFIO_RX_B9n	DIFFOUT_B18n	AE19	AP30	AD24	AU28	DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO			DIFFIO_RX_B9p	DIFFOUT_B18p	AD20	AP29	AC23	AT28	DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B		DQ6B	DQ3B	
3A	VREFB3AN0	IO				DIFFOUT_B19n	AA19	AB23	AE23	AG24												
3A	VREFB3AN0	IO				DIFFOUT_B19p	AB18	AA23	AD23	AH24												
3A	VREFB3AN0	IO			DIFFIO_RX_B10n	DIFFOUT_B20n	Y18	AD22	AC22	AU27												
3A	VREFB3AN0	IO			DIFFIO_RX_B10p	DIFFOUT_B20p	Y17	AC22	AB23	AT27												
3B	VREFB3BN0	IO				DIFFOUT_B21n		AC20	AP25	AM25				DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B21p		AD20	AP24	AN25				DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B11n	DIFFOUT_B22n		AF21	AN24	AP24				DQSn7B	DQ7B	DQ7B	DQSn7B	DQ7B	DQ7B	DQSn7B	DQ7B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B11p	DIFFOUT_B22p		AE22	AN23	AN24				DQS7B	DQ7B/CQn7B	DQ7B	DQS7B	DQ7B/CQn7B	DQ7B	DQS7B	DQ7B/CQn7B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B23n		AE20	AL24	AP25				DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B23p		AE21	AM23	AR25				DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B12n	DIFFOUT_B24n		AJ24	AL23	AU26				DQSn8B	DQSn7B/DQ7B	DQ7B	DQSn8B	DQSn7B/DQ7B	DQ7B	DQSn8B	DQSn7B/DQ7B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B12p	DIFFOUT_B24p		AH23	AK23	AT26				DQS8B	DQS7B/CQ7B	DQ7B/CQn7B	DQS8B	DQS7B/CQ7B	DQ7B/CQn7B	DQS8B	DQS7B/CQ7B	DQ7B/CQn7B
3B	VREFB3BN0	IO				DIFFOUT_B25n		AG22	AJ23	AT25				DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B25p		AH21	AJ22	AU25				DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B13n	DIFFOUT_B26n		AJ22	AK24	AW26				DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B13p	DIFFOUT_B26p		AH22	AJ24	AV26				DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B	DQ8B	DQ7B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B27n		AL23	AG24	AH22				DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B27p		AM23	AG23	AE23				DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B14n	DIFFOUT_B28n		AM24	AH22	AG22				DQSn9B	DQ8B	DQSn7B/DQ7B	DQSn9B	DQ8B	DQSn7B/DQ7B	DQSn9B	DQ8B	DQSn7B/DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B14p	DIFFOUT_B28p		AL24	AH21	AF22				DQS9B	DQ8B/CQn8B	DQS7B/CQ7B	DQS9B	DQ8B/CQn8B	DQS7B/CQ7B	DQS9B	DQ8B/CQn8B	DQS7B/CQ7B

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
3B	VREFB3BN0	IO				DIFFOUT_B29n		AK22	AE20	AE22				DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B29p		AK23	AE22	AF23				DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B	DQ9B	DQ8B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B15n	DIFFOUT_B30n		AF26	AF22	AL23				DQSn10B	DQSn8B/DQ8B	DQ7B	DQSn10B	DQSn8B/DQ8B	DQ7B	DQSn10B	DQSn8B/DQ8B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B15p	DIFFOUT_B30p		AH26	AF21	AK23				DQS10B	DQS8B/CQ8B	DQ7B	DQS10B	DQS8B/CQ8B	DQ7B	DQS10B	DQS8B/CQ8B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B31n		AM25	AD21	AK24				DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B
3B	VREFB3BN0	IO				DIFFOUT_B31p		AP24	AC21	AJ22				DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B16n	DIFFOUT_B32n		AP25	AD20	AJ23				DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B
3B	VREFB3BN0	IO			DIFFIO_RX_B16p	DIFFOUT_B32p		AN25	AC20	AH23				DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B	DQ10B	DQ8B	DQ7B
3C	VREFB3CN0	IO				DIFFOUT_B33n	AA17	AM22	AP22	AN23	DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B	
3C	VREFB3CN0	IO				DIFFOUT_B33p	AA16	AP22	AP23	AM23	DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B	
3C	VREFB3CN0	IO			DIFFIO_RX_B17n	DIFFOUT_B34n	AC18	AP23	AM22	AN22	DQSn11B	DQ11B		DQSn11B	DQ11B		DQSn11B	DQ11B		DQSn11B	DQ11B	
3C	VREFB3CN0	IO			DIFFIO_RX_B17p	DIFFOUT_B34p	AB17	AN23	AL22	AM22	DQS11B	DQ11B/CQn11B		DQS11B	DQ11B/CQn11B		DQS11B	DQ11B/CQn11B		DQS11B	DQ11B/CQn11B	
3C	VREFB3CN0	IO				DIFFOUT_B35n	Y15	AP21	AM20	AL21	DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B	
3C	VREFB3CN0	IO				DIFFOUT_B35p	Y16	AN22	AL20	AL22	DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B		DQ11B	DQ11B	
3C	VREFB3CN0	IO			DIFFIO_RX_B18n	DIFFOUT_B36n	AH19	AM21	AM21	AU24	DQSn12B	DQSn11B/DQ11B		DQSn12B	DQSn11B/DQ11B		DQSn12B	DQSn11B/DQ11B		DQSn12B	DQSn11B/DQ11B	
3C	VREFB3CN0	IO			DIFFIO_RX_B18p	DIFFOUT_B36p	AH18	AL21	AL21	AT24	DQS12B	DQS11B/CQ11B		DQS12B	DQS11B/CQ11B		DQS12B	DQS11B/CQ11B		DQS12B	DQS11B/CQ11B	
3C	VREFB3CN0	IO				DIFFOUT_B37n	AE17	AJ21	AM19	AR23	DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B	
3C	VREFB3CN0	IO				DIFFOUT_B37p	AG17	AK20	AL19	AP23	DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B	
3C	VREFB3CN0	IO			DIFFIO_RX_B19n	DIFFOUT_B38n	AF18	AM20	AP21	AU23	DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B	
3C	VREFB3CN0	IO			DIFFIO_RX_B19p	DIFFOUT_B38p	AE18	AL20	AN21	AT23	DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B		DQ12B	DQ11B	
3C	VREFB3CN0	IO				DIFFOUT_B39n		AN20	AK21	AG20				DQ13B			DQ13B			DQ13B		
3C	VREFB3CN0	IO				DIFFOUT_B39p		AJ20	AK20	AD21				DQ13B			DQ13B			DQ13B		
3C	VREFB3CN0	IO			DIFFIO_RX_B20n	DIFFOUT_B40n		AM19	AJ19	AF20				DQSn13B			DQSn13B			DQSn13B		
3C	VREFB3CN0	IO			DIFFIO_RX_B20p	DIFFOUT_B40p		AL19	AH19	AE20				DQS13B			DQS13B			DQS13B		
3C	VREFB3CN0	IO				DIFFOUT_B41n		AK19	AJ20	AE21				DQ13B			DQ13B			DQ13B		
3C	VREFB3CN0	IO				DIFFOUT_B41p		AJ19	AK18	AG21				DQ13B			DQ13B			DQ13B		
3C	VREFB3CN0	IO			DIFFIO_RX_B21n	DIFFOUT_B42n		AH19	AF20	AW25												
3C	VREFB3CN0	IO			DIFFIO_RX_B21p	DIFFOUT_B42p		AG19	AF19	AV25												
3C	VREFB3CN0	IO	PLL_B1_CLKOUT4			DIFFOUT_B43n	AD17	AD19	AE19	AJ20												
3C	VREFB3CN0	IO	PLL_B1_CLKOUT3			DIFFOUT_B43p	AD16	AC18	AC19	AH20												
3C	VREFB3CN0	IO			DIFFIO_RX_B22n	DIFFOUT_B44n	AF16	AG20	AG21	AW23												
3C	VREFB3CN0	IO			DIFFIO_RX_B22p	DIFFOUT_B44p	AE16	AF19	AG20	AV23												
3C	VREFB3CN0	IO	PLL_B1_CLKOUT0n			DIFFOUT_B45n	AC16	AE19	AD18	AP21												
3C	VREFB3CN0	IO	PLL_B1_CLKOUT0p			DIFFOUT_B45p	AB15	AE18	AC18	AN21												
3C	VREFB3CN0	IO	PLL_B1_FBn/CLKOUT2		DIFFIO_RX_B23n	DIFFOUT_B46n	AF15	AM18	AM18	AU22												
3C	VREFB3CN0	IO	PLL_B1_FBp/CLKOUT1		DIFFIO_RX_B23p	DIFFOUT_B46p	AE15	AL18	AL18	AT22												
3C	VREFB3CN0	IO	CLK5n			DIFFOUT_B47n	AH17	AP20	AP20	AW22												
3C	VREFB3CN0	IO	CLK5p			DIFFOUT_B47p	AG16	AP19	AN20	AV22												
3C	VREFB3CN0	IO	CLK4n		DIFFIO_RX_B24n	DIFFOUT_B48n	AH16	AP18	AP18	AT21												
3C	VREFB3CN0	IO	CLK4p		DIFFIO_RX_B24p	DIFFOUT_B48p	AH15	AP17	AN18	AR22												
4C	VREFB4CN0	IO	CLK6p		DIFFIO_RX_B25p	DIFFOUT_B49p	AG14	AP15	AN17	AW20												
4C	VREFB4CN0	IO	CLK6n		DIFFIO_RX_B25n	DIFFOUT_B49n	AH14	AP16	AP17	AW21												
4C	VREFB4CN0	IO	CLK7p			DIFFOUT_B50p	AH12	AM17	AN15	AV19												
4C	VREFB4CN0	IO	CLK7n			DIFFOUT_B50n	AH13	AN17	AP15	AW19												
4C	VREFB4CN0	IO	PLL_B2_FBp/CLKOUT1		DIFFIO_RX_B26p	DIFFOUT_B51p		AK17	AL17	AR20												
4C	VREFB4CN0	IO	PLL_B2_FBn/CLKOUT2		DIFFIO_RX_B26n	DIFFOUT_B51n		AL17	AM17	AT20												
4C	VREFB4CN0	IO	PLL_B2_CLKOUT0p			DIFFOUT_B52p		AC16	AC17	AN20												
4C	VREFB4CN0	IO	PLL_B2_CLKOUT0n			DIFFOUT_B52n		AD17	AD17	AP20												
4C	VREFB4CN0	IO			DIFFIO_RX_B27p	DIFFOUT_B53p		AE16	AG15	AU20												
4C	VREFB4CN0	IO			DIFFIO_RX_B27n	DIFFOUT_B53n		AF16	AH16	AV20												
4C	VREFB4CN0	IO	PLL_B2_CLKOUT3			DIFFOUT_B54p		AE15	AE16	AH18												
4C	VREFB4CN0	IO	PLL_B2_CLKOUT4			DIFFOUT_B54n		AD16	AC16	AH19												
4C	VREFB4CN0	IO			DIFFIO_RX_B28p	DIFFOUT_B55p	AF14	AG16	AF15	AT19												
4C	VREFB4CN0	IO			DIFFIO_RX_B28n	DIFFOUT_B55n	AG13	AH16	AF16	AU19												
4C	VREFB4CN0	IO				DIFFOUT_B56p	Y13	AJ16	AJ15	AD19	DQ14B			DQ14B			DQ14B			DQ14B		
4C	VREFB4CN0	IO				DIFFOUT_B56n	Y14	AK16	AK17	AG19	DQ14B			DQ14B			DQ14B			DQ14B		
4C	VREFB4CN0	IO			DIFFIO_RX_B29p	DIFFOUT_B57p	AA13	AM15	AJ16	AE19	DQS14B			DQS14B			DQS14B			DQS14B		
4C	VREFB4CN0	IO			DIFFIO_RX_B29n	DIFFOUT_B57n	AA14	AM16	AJ17	AF19	DQSn14B			DQSn14B			DQSn14B			DQSn14B		
4C	VREFB4CN0	IO				DIFFOUT_B58p	AB12	AL16	AK14	AG18	DQ14B			DQ14B			DQ14B			DQ14B		
4C	VREFB4CN0	IO				DIFFOUT_B58n	AB11	AH15	AK15	AE18	DQ14B			DQ14B			DQ14B			DQ14B		
4C	VREFB4CN0	IO			DIFFIO_RX_B30p	DIFFOUT_B59p	AD13	AP13	AN14	AT18	DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B	
4C	VREFB4CN0	IO			DIFFIO_RX_B30n	DIFFOUT_B59n	AE12	AP14	AP14	AU18	DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B	
4C	VREFB4CN0	IO				DIFFOUT_B60p	AE13	AP12	AM16	AT17	DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B	
4C	VREFB4CN0	IO				DIFFOUT_B60n	AE14	AN14	AL16	AW18	DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B		DQ15B	DQ16B	
4C	VREFB4CN0	IO			DIFFIO_RX_B31p	DIFFOUT_B61p	AC12	AM13	AL14	AU17	DQS15B	DQS16B/CQ16B		DQS15B	DQS16B/CQ16B		DQS15B	DQS16B/CQ16B		DQS15B	DQS16B/CQ16B	
4C	VREFB4CN0	IO			DIFFIO_RX_B31n	DIFFOUT_B61n	AD11	AN13	AM14	AV17	DQSn15B	DQSn16B/DQ16B		DQSn15B	DQSn16B/DQ16B		DQSn15B	DQSn16B/DQ16B		DQSn15B	DQSn16B/DQ16B	
4C	VREFB4CN0	IO				DIFFOUT_B62p	AF12	AL15	AM15	AN19	DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B	
4C	VREFB4CN0	IO				DIFFOUT_B62n	AH11	AJ15	AL15	AM19	DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B	
4C	VREFB4CN0	IO			DIFFIO_RX_B32p	DIFFOUT_B63p	AE11	AK14	AL13	AN18	DQS16B	DQ16B/CQn16B		DQS16B	DQ16B/CQn16B		DQS16B	DQ16B/CQn16B		DQS16B	DQ16B/CQn16B	
4C	VREFB4CN0	IO			DIFFIO_RX_B32n	DIFFOUT_B63n	AF11	AL14	AM13	AP18	DQSn16B	DQ16B		DQSn16B	DQ16B		DQSn16B	DQ16B		DQSn16B	DQ16B	
4C	VREFB4CN0	IO				DIFFOUT_B64p	AH10	AJ14	AP13	AG18	DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B	
4C	VREFB4CN0	IO				DIFFOUT_B64n	AG11	AM14	AP12	AP19	DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B		DQ16B	DQ16B	
4B	VREFB4BN0	IO			DIFFIO_RX_B33p	DIFFOUT_B65p		AJ13	AC15	AK17				DQ17B	DQ19B	DQ20B	DQ17B	DQ19B	DQ20B	DQ17B	DQ19B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B33n	DIFFOUT_B65n		AK13	AD15	AL17				DQ17B	DQ19B	DQ20B	DQ17B	DQ19B	DQ20B	DQ17B	DQ19B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B66p		AG13	AD14	AJ16				DQ19B	DQ20B	DQ17B	DQ19B	DQ20B	DQ17B	DQ19B	DQ20B	DQ17B
4B	VREFB4BN0	IO				DIFFOUT_B66n		AH13	AC14	AM17				DQ17B	DQ19B	DQ20B	DQ17B	DQ19B	DQ20B	DQ17B	DQ19B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B34p	DIFFOUT_B67p		AH12	AF13	AK16				DQS17B	DQS19B/CQ19B	DQ20B	DQS17B	DQS19B/CQ19B	DQ20B	DQS17B	DQS19B/CQ19B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B34n	DIFFOUT_B67n		AJ12	AF14	AL16				DQSn17B	DQSn19B/DQ19B	DQ20B	DQSn17B	DQSn19B/DQ19B	DQ20B	DQSn17B	DQSn19B/DQ19B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B68p		AC14	AE15	AH17				DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B68n		AD14	AE13	AE17				DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B35p	DIFFOUT_B69p		AF14	AG14	AF17				DQS18B	DQ19B/CQn19B	DQS20B/CQ20B	DQS18B	DQ19B/CQn19B	DQS20B/CQ20B	DQS18B	DQ19B/CQn19B	DQS20B/CQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B35n	DIFFOUT_B69n		AG14	AH14	AG17				DQSn18B	DQ19B	DQSn20B/DQ20B	DQSn18B	DQ19B	DQSn20B/DQ20B	DQSn18B	DQ19B	DQSn20B/DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B70p		AE14	AG12	AH16				DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B70n		AE13	AH13	AG16				DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B	DQ18B	DQ19B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B36p	DIFFOUT_B71p		AM11	AJ11	AP17				DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B36n	DIFFOUT_B71n		AN11	AK11	AR17				DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B72p		AL12	AJ12	AN16				DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B72n		AM12	AJ13	AN17				DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B	DQ19B	DQ20B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B37p	DIFFOUT_B73p		AK11	AK12	AP16				DQS19B	DQS20B/CQ20B	DQ20B/CQn20B	DQS19B	DQS20B/CQ20B	DQ20B/CQn20B	DQS19B	DQS20B/CQ20B	DQ20B/CQn20B
4B	VREFB4BN0	IO			DIFFIO_RX_B37n	DIFFOUT_B73n		AL11	AL12	AR16				DQSn19B	DQSn20B/DQ20B	DQ20B	DQSn19B	DQSn20B/DQ20B	DQ20B	DQSn19B	DQSn20B/DQ20B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B74p		AP11	AL11	AW16				DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B74n		AM10	AM12	AT16				DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B38p	DIFFOUT_B75p		AN10	AN11	AU16				DQS20B	DQ20B/CQn20B	DQ20B	DQS20B	DQ20B/CQn20B	DQ20B	DQS20B	DQ20B/CQn20B	DQ20B
4B	VREFB4BN0	IO			DIFFIO_RX_B38n	DIFFOUT_B75n		AP10	AN12	AV16				DQSn20B	DQ20B	DQ20B	DQSn20B	DQ20B	DQ20B	DQSn20B	DQ20B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B76p		AP9	AP10	AU15				DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B
4B	VREFB4BN0	IO				DIFFOUT_B76n		AM9	AP11	AT15				DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B	DQ20B
4A	VREFB4AN0	IO			DIFFIO_RX_B39p	DIFFOUT_B77p	Y12	Y12	AC12	AN15												
4A	VREFB4AN0	IO			DIFFIO_RX_B39n	DIFFOUT_B77n	AA11	AA12	AC13	AP15												
4A	VREFB4AN0	IO				DIFFOUT_B78p	Y10	AC12	AD11	AE16												
4A	VREFB4AN0	IO				DIFFOUT_B78n	Y11	AD13	AB12	AF16												
4A	VREFB4AN0	IO			DIFFIO_RX_B40p	DIFFOUT_B79p	AC10	AP5	AH10	AV14	DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B	
4A	VREFB4AN0	IO			DIFFIO_RX_B40n	DIFFOUT_B79n	AD10	AP6	AH11	AW14	DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B	
4A	VREFB4AN0	IO				DIFFOUT_B80p	AB9	AN7	AE12	AT14	DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B	
4A	VREFB4AN0	IO				DIFFOUT_B80n	AB10	AP7	AD12	AU14	DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B		DQ21B	DQ24B	
4A	VREFB4AN0	IO			DIFFIO_RX_B41p	DIFFOUT_B81p	AE9	AP3	AE10	AV13	DQS21B	DQS24B/CQ24B		DQS21B	DQS24B/CQ24B		DQS21B	DQS24B/CQ24B		DQS21B	DQS24B/CQ24B	
4A	VREFB4AN0	IO			DIFFIO_RX_B41n	DIFFOUT_B81n	AE10	AP4	AF10	AW13	DQSn21B	DQSn24B/DQ24B		DQSn21B	DQSn24B/DQ24B		DQSn21B	DQSn24B/DQ24B		DQSn21B	DQSn24B/DQ24B	
4A	VREFB4AN0	IO				DIFFOUT_B82p	AF10	AP8	AF11	AW12	DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B	
4A	VREFB4AN0	IO				DIFFOUT_B82n	AF9	AL9	AG9	AW11	DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B	
4A	VREFB4AN0	IO			DIFFIO_RX_B42p	DIFFOUT_B83p	AG8	AM8	AJ9	AU11	DQS22B	DQ24B/CQn24B		DQS22B	DQ24B/CQn24B		DQS22B	DQ24B/CQn24B		DQS22B	DQ24B/CQn24B	
4A	VREFB4AN0	IO			DIFFIO_RX_B42n	DIFFOUT_B83n	AH8	AN8	AK9	AV11	DQSn22B	DQ24B		DQSn22B	DQ24B		DQSn22B	DQ24B		DQSn22B	DQ24B	
4A	VREFB4AN0	IO				DIFFOUT_B84p	AH9	AL7	AF12	AT12	DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B	
4A	VREFB4AN0	IO				DIFFOUT_B84n	AG10	AL8	AG11	AU12	DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B		DQ22B	DQ24B	
4A	VREFB4AN0	IO			DIFFIO_RX_B43p	DIFFOUT_B85p	AG7	AJ10	AJ8	AP14	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B43n	DIFFOUT_B85n	AH6	AK10	AK8	AR14	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B86p	AH5	AH11	AL8	AP13	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B86n	AH7	AJ11	AL9	AN14	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B	DQ23B	DQ25B	DQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B44p	DIFFOUT_B87p	AF6	AF12	AL10	AR13	DQS23B	DQS25B/CQ25B	DQ26B	DQS23B	DQS25B/CQ25B	DQ26B	DQS23B	DQS25B/CQ25B	DQ26B	DQS23B	DQS25B/CQ25B	DQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B44n	DIFFOUT_B87n	AG5	AG11	AM10	AT13	DQSn23B	DQSn25B/DQ25B	DQ26B	DQSn23B	DQSn25B/DQ25B	DQ26B	DQSn23B	DQSn25B/DQ25B	DQ26B	DQSn23B	DQSn25B/DQ25B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B88p	AE7	AJ9	AL7	AN13	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B88n	AE8	AG10	AM7	AL15	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B45p	DIFFOUT_B89p	AE6	AJ8	AM9	AL13	DQS24B	DQ25B/CQn25B	DQS26B/CQ26B	DQS24B	DQ25B/CQn25B	DQS26B/CQ26B	DQS24B	DQ25B/CQn25B	DQS26B/CQ26B	DQS24B	DQ25B/CQn25B	DQS26B/CQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B45n	DIFFOUT_B89n	AF7	AK8	AN9	AM13	DQSn24B	DQ25B	DQSn26B/DQ26B	DQSn24B	DQ25B	DQSn26B/DQ26B	DQSn24B	DQ25B	DQSn26B/DQ26B	DQSn24B	DQ25B	DQSn26B/DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B90p	AD7	AH8	AM6	AL14	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
4A	VREFB4AN0	IO				DIFFOUT_B90n	AD8	AH9	AM5	AM14	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B	DQ24B	DQ25B	DQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B46p	DIFFOUT_B91p	AG4	AD9	AN8	AJ13	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B46n	DIFFOUT_B91n	AH4	AE9	AP8	AK13	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B92p	AF3	AE11	AP7	AH13	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B92n	AF4	AE12	AP9	AK14	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B	DQ25B	DQ26B	DQ26B
4A	VREFB4AN0	IO			DIFFIO_RX_B47p	DIFFOUT_B93p	AH2	AD11	AN6	AH14	DQS25B	DQS26B/CQ26B	DQ26B/CQn26B	DQS25B	DQS26B/CQ26B	DQ26B/CQn26B	DQS25B	DQS26B/CQ26B	DQ26B/CQn26B	DQS25B	DQS26B/CQ26B	DQ26B/CQn26B
4A	VREFB4AN0	IO			DIFFIO_RX_B47n	DIFFOUT_B93n	AH3	AE10	AP6	AJ14	DQSn25B	DQSn26B/DQ26B	DQ26B	DQSn25B	DQSn26B/DQ26B	DQ26B	DQSn25B	DQSn26B/DQ26B	DQ26B	DQSn25B	DQSn26B/DQ26B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B94p	AC6	AB11	AN3	AG14	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B94n	AC8	AB12	AN5	AG15	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B
4A	VREFB4AN0	IO	RUP4A		DIFFIO_RX_B48p	DIFFOUT_B95p	AA8	AB10	AP4	AE14	DQS26B	DQ26B/CQn26B	DQ26B	DQS26B	DQ26B/CQn26B	DQ26B	DQS26B	DQ26B/CQn26B	DQ26B	DQS26B	DQ26B/CQn26B	DQ26B
4A	VREFB4AN0	IO	RDN4A		DIFFIO_RX_B48n	DIFFOUT_B95n	AB7	AC10	AP5	AF14	DQSn26B	DQ26B	DQ26B	DQSn26B	DQ26B	DQ26B	DQSn26B	DQ26B	DQ26B	DQSn26B	DQ26B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B96p	Y9	AA10	AM4	AD15	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B
4A	VREFB4AN0	IO				DIFFOUT_B96n	AA10	AA11	AP3	AE15	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B	DQ26B
		nIO_PULLUP		nIO_PULLUP			Y8	AM6	AP2	AM11												
		nCEO		nCEO			W6	AE8	AK3	AT11												
		DCLK		DCLK			Y6	AM5	AL3	AR11												
		nCSO		nCSO			W7	AD8	AL4	AP11												
		ASDO		ASDO			Y7	AN5	AN1	AN11												
5A	VREFB5AN0	IO			DIFFIO_TX_R1n	DIFFOUT_R1n				AM10												
5A	VREFB5AN0	IO			DIFFIO_TX_R1p	DIFFOUT_R1p				AL10												
5A	VREFB5AN0	IO	RDN5A		DIFFIO_RX_R1n	DIFFOUT_R2n				AW7												
5A	VREFB5AN0	IO	RUP5A		DIFFIO_RX_R1p	DIFFOUT_R2p				AV7												
5A	VREFB5AN0	IO			DIFFIO_TX_R2n	DIFFOUT_R3n				AP10										DQ1R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R2p	DIFFOUT_R3p				AN10										DQ1R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R2n	DIFFOUT_R4n				AW8										DQSn1R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R2p	DIFFOUT_R4p				AV8										DQS1R	DQ1R/CQn1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R3n	DIFFOUT_R5n				AJ11										DQ1R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R3p	DIFFOUT_R5p				AH11										DQ1R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R3n	DIFFOUT_R6n				AU10										DQSn2R	DQSn1R/DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R3p	DIFFOUT_R6p				AT10										DQS2R	DQS1R/CQ1R	DQ1R/CQn1R
5A	VREFB5AN0	IO			DIFFIO_TX_R4n	DIFFOUT_R7n				AH12										DQ2R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R4p	DIFFOUT_R7p				AG12										DQ2R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R4n	DIFFOUT_R8n				AW10										DQ2R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R4p	DIFFOUT_R8p				AV10										DQ2R	DQ1R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R5n	DIFFOUT_R9n				AG13										DQ3R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R5p	DIFFOUT_R9p				AF13										DQ3R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R5n	DIFFOUT_R10n				AU9										DQSn3R	DQ2R	DQSn1R/DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R5p	DIFFOUT_R10p				AT9										DQS3R	DQ2R/CQn2R	DQS1R/CQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R6n	DIFFOUT_R11n				AP9										DQ3R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R6p	DIFFOUT_R11p				AN9										DQ3R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R6n	DIFFOUT_R12n				AU8										DQSn4R	DQSn2R/DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R6p	DIFFOUT_R12p				AT8										DQS4R	DQS2R/CQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R7n	DIFFOUT_R13n				AP7										DQ4R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R7p	DIFFOUT_R13p				AN7										DQ4R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R7n	DIFFOUT_R14n				AR8										DQ4R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_RX_R7p	DIFFOUT_R14p				AP8										DQ4R	DQ2R	DQ1R
5A	VREFB5AN0	IO			DIFFIO_TX_R8n	DIFFOUT_R15n				AL9										DQ5R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_TX_R8p	DIFFOUT_R15p				AK9										DQ5R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_RX_R8n	DIFFOUT_R16n				AU7										DQSn5R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_RX_R8p	DIFFOUT_R16p				AT7										DQS5R	DQ3R/CQn3R	
5A	VREFB5AN0	IO			DIFFIO_TX_R9n	DIFFOUT_R17n				AM8										DQ5R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_TX_R9p	DIFFOUT_R17p				AL8										DQ5R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_RX_R9n	DIFFOUT_R18n				AU6										DQSn6R	DQS3R/DQ3R	
5A	VREFB5AN0	IO			DIFFIO_RX_R9p	DIFFOUT_R18p				AT6										DQS6R	DQS3R/CQ3R	
5A	VREFB5AN0	IO			DIFFIO_TX_R10n	DIFFOUT_R19n				AJ10										DQ6R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_TX_R10p	DIFFOUT_R19p				AH10										DQ6R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_RX_R10n	DIFFOUT_R20n				AW4										DQ6R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_RX_R10p	DIFFOUT_R20p				AV5										DQ6R	DQ3R	
5A	VREFB5AN0	IO			DIFFIO_TX_R11n	DIFFOUT_R21n				AE12										DQ7R		
5A	VREFB5AN0	IO			DIFFIO_TX_R11p	DIFFOUT_R21p				AE13										DQ7R		
5A	VREFB5AN0	IO			DIFFIO_RX_R11n	DIFFOUT_R22n				AT5										DQSn7R		
5A	VREFB5AN0	IO			DIFFIO_RX_R11p	DIFFOUT_R22p				AR5										DQS7R		
5A	VREFB5AN0	IO			DIFFIO_TX_R12n	DIFFOUT_R23n				AD12										DQ7R		
5A	VREFB5AN0	IO			DIFFIO_TX_R12p	DIFFOUT_R23p				AD13										DQ7R		
5A	VREFB5AN0	IO			DIFFIO_RX_R12n	DIFFOUT_R24n				AW5												
5A	VREFB5AN0	IO			DIFFIO_RX_R12p	DIFFOUT_R24p				AW6												
5C	VREFB5CN0	IO			DIFFIO_TX_R13n	DIFFOUT_R25n				AH8										DQ8R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R13p	DIFFOUT_R25p				AH9										DQ8R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R13n	DIFFOUT_R26n				AP5										DQSn8R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R13p	DIFFOUT_R26p				AP6										DQS8R	DQ8R/CQn8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R14n	DIFFOUT_R27n				AK7										DQ8R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R14p	DIFFOUT_R27p				AK8										DQ8R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R14n	DIFFOUT_R28n				AM5										DQSn9R	DQSn8R/DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R14p	DIFFOUT_R28p				AM6										DQS9R	DQS8R/CQ8R	DQ8R/CQn8R
5C	VREFB5CN0	IO			DIFFIO_TX_R15n	DIFFOUT_R29n				AE10										DQ9R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R15p	DIFFOUT_R29p				AE11										DQ9R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R15n	DIFFOUT_R30n				AN5										DQ9R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R15p	DIFFOUT_R30p				AN6										DQ9R	DQ8R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R16n	DIFFOUT_R31n				AF10										DQ10R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R16p	DIFFOUT_R31p				AF11										DQ10R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R16n	DIFFOUT_R32n				AL5										DQSn10R	DQ9R	DQSn8R/DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R16p	DIFFOUT_R32p				AL6										DQS10R	DQ9R/CQ9R	DQ8R/CQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R17n	DIFFOUT_R33n				AG9										DQ10R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R17p	DIFFOUT_R33p				AG10										DQ10R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R17n	DIFFOUT_R34n				AK5										DQSn11R	DQSn9R/DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R17p	DIFFOUT_R34p				AK6										DQS11R	DQS9R/CQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R18n	DIFFOUT_R35n				AD9										DQ11R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R18p	DIFFOUT_R35p				AD10										DQ11R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R18n	DIFFOUT_R36n				AJ5										DQ11R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_RX_R18p	DIFFOUT_R36p				AJ6										DQ11R	DQ9R	DQ8R
5C	VREFB5CN0	IO			DIFFIO_TX_R19n	DIFFOUT_R37n				AG7										DQ12R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_TX_R19p	DIFFOUT_R37p				AG8										DQ12R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_RX_R19n	DIFFOUT_R38n				AC8										DQSn12R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_RX_R19p	DIFFOUT_R38p				AB9										DQS12R	DQ10R/CQn10R	
5C	VREFB5CN0	IO			DIFFIO_TX_R20n	DIFFOUT_R39n				AB10										DQ12R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_TX_R20p	DIFFOUT_R39p				AB11										DQ12R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_RX_R20n	DIFFOUT_R40n				AH5										DQSn13R	DQSn10R/DQ10R	
5C	VREFB5CN0	IO			DIFFIO_RX_R20p	DIFFOUT_R40p				AH6										DQS13R	DQS10R/CQ10R	
5C	VREFB5CN0	IO			DIFFIO_TX_R21n	DIFFOUT_R41n				AB12										DQ13R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_TX_R21p	DIFFOUT_R41p				AB13										DQ13R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_RX_R21n	DIFFOUT_R42n				AG5										DQ13R	DQ10R	
5C	VREFB5CN0	IO			DIFFIO_RX_R21p	DIFFOUT_R42p				AG6										DQ13R	DQ10R	
5C	VREFB5CN0	IO	PLL_R3_CLKOUT0n		DIFFIO_TX_R22n	DIFFOUT_R43n				AC10												
5C	VREFB5CN0	IO	PLL_R3_FB_CLKOUT0p		DIFFIO_TX_R22p	DIFFOUT_R43p				AC11												
5C	VREFB5CN0	IO	CLK9n		DIFFIO_RX_R22n	DIFFOUT_R44n				AE5												
5C	VREFB5CN0	IO	CLK9p		DIFFIO_RX_R22p	DIFFOUT_R44p				AF6												
5C	VREFB5CN0	CLK8n	CLK8n							AC5												
5C	VREFB5CN0	CLK8p	CLK8p							AC6												
6C	VREFB6CN0	CLK10p	CLK10p					P1	AM2	AB6												
6C	VREFB6CN0	CLK10n	CLK10n					R1	AM1	AA5												
6C	VREFB6CN0	IO	CLK11p		DIFFIO_RX_R23p	DIFFOUT_R45p		R3	AK6	W6												
6C	VREFB6CN0	IO	CLK11n		DIFFIO_RX_R23n	DIFFOUT_R45n		R2	AL5	W5												
6C	VREFB6CN0	IO	PLL_R2_FB_CLKOUT0p		DIFFIO_TX_R23p	DIFFOUT_R46p		U12	AJ6	W12												
6C	VREFB6CN0	IO	PLL_R2_CLKOUT0n		DIFFIO_TX_R23n	DIFFOUT_R46n		V12	AK5	W11												
6C	VREFB6CN0	IO			DIFFIO_RX_R24p	DIFFOUT_R47p		T5	AD6	W8				DQ14R	DQ17R		DQ14R	DQ17R		DQ14R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_RX_R24n	DIFFOUT_R47n		T4	AD5	W7				DQ14R	DQ17R		DQ14R	DQ17R		DQ14R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_TX_R24p	DIFFOUT_R48p		V11	AE7	V12				DQ14R	DQ17R		DQ14R	DQ17R		DQ14R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_TX_R24n	DIFFOUT_R48n		U10	AF7	V11				DQ14R	DQ17R		DQ14R	DQ17R		DQ14R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_RX_R25p	DIFFOUT_R49p		P4	AE8	V6				DQS14R	DQS17R/CQ17R		DQS14R	DQS17R/CQ17R		DQS14R	DQS17R/CQ17R	
6C	VREFB6CN0	IO			DIFFIO_RX_R25n	DIFFOUT_R49n		P3	AE5	U5				DQSn14R	DQSn17R/DQ17R		DQSn14R	DQSn17R/DQ17R		DQSn14R	DQSn17R/DQ17R	
6C	VREFB6CN0	IO			DIFFIO_TX_R25p	DIFFOUT_R50p		T9	AD8	U10				DQ15R	DQ17R		DQ15R	DQ17R		DQ15R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_TX_R25n	DIFFOUT_R50n		T8	AE8	T9				DQ15R	DQ17R		DQ15R	DQ17R		DQ15R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_RX_R26p	DIFFOUT_R51p		N2	AF6	R6				DQS15R	DQ17R/CQn17R		DQS15R	DQ17R/CQn17R		DQS15R	DQ17R/CQn17R	

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
6C	VREFB6CN0	IO			DIFFIO_RX_R26n	DIFFOUT_R51n		N1	AG5	R5				DQSn15R	DQ17R		DQSn15R	DQ17R		DQSn15R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_TX_R26p	DIFFOUT_R52p		T11	AC9	V10				DQ15R	DQ17R		DQ15R	DQ17R		DQ15R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_TX_R26n	DIFFOUT_R52n		T10	AC8	V9				DQ15R	DQ17R		DQ15R	DQ17R		DQ15R	DQ17R	
6C	VREFB6CN0	IO			DIFFIO_RX_R27p	DIFFOUT_R53p		M2	AG6	R7				DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R27n	DIFFOUT_R53n		M1	AH5	P6				DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R27p	DIFFOUT_R54p		T7	AG8	N9				DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R27n	DIFFOUT_R54n		T6	AH7	P8				DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R	DQ16R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R28p	DIFFOUT_R55p		N4	AH6	N6				DQS16R	DQS18R/CQ18R	DQ19R	DQS16R	DQS18R/CQ18R	DQ19R	DQS16R	DQS18R/CQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R28n	DIFFOUT_R55n		N3	AJ5	N5				DQSn16R	DQSn18R/DQ18R	DQ19R	DQSn16R	DQSn18R/DQ18R	DQ19R	DQSn16R	DQSn18R/DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R28p	DIFFOUT_R56p		R6	AE9	T10				DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R28n	DIFFOUT_R56n		R5	AF8	R10				DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R29p	DIFFOUT_R57p		K1	AB8	M6				DQS17R	DQ18R/CQn18R	DQS19R/CQ19R	DQS17R	DQ18R/CQn18R	DQS19R/CQ19R	DQS17R	DQ18R/CQn18R	DQS19R/CQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R29n	DIFFOUT_R57n		L1	AC7	L5				DQSn17R	DQ18R	DQSn19R/DQ19R	DQSn17R	DQ18R	DQSn19R/DQ19R	DQSn17R	DQ18R	DQSn19R/DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R29p	DIFFOUT_R58p		R12	AC11	R9				DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R29n	DIFFOUT_R58n		R11	AC10	R8				DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R	DQ17R	DQ18R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R30p	DIFFOUT_R59p		K3	AB6	N8				DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R30n	DIFFOUT_R59n		K2	AC6	N7				DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R30p	DIFFOUT_R60p		R8	AB10	M8				DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R30n	DIFFOUT_R60n		R7	AB9	M7				DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R	DQ18R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R31p	DIFFOUT_R61p		L4	AA6	K6				DQS18R	DQS19R/CQ19R	DQ19R/CQn19R	DQS18R	DQS19R/CQ19R	DQ19R/CQn19R	DQS18R	DQS19R/CQ19R	DQ19R/CQn19R
6C	VREFB6CN0	IO			DIFFIO_RX_R31n	DIFFOUT_R61n		L3	AB5	K5				DQSn18R	DQSn19R/DQ19R	DQ19R	DQSn18R	DQSn19R/DQ19R	DQ19R	DQSn18R	DQSn19R/DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R31p	DIFFOUT_R62p		P7	Y10	L8				DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R31n	DIFFOUT_R62n		P6	AA9	L7				DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R32p	DIFFOUT_R63p		M5	V6	J6				DQS19R	DQ19R/CQn19R	DQ19R	DQS19R	DQ19R/CQn19R	DQ19R	DQS19R	DQ19R/CQn19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_RX_R32n	DIFFOUT_R63n		M4	V5	J5				DQSn19R	DQ19R	DQ19R	DQSn19R	DQ19R	DQ19R	DQSn19R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R32p	DIFFOUT_R64p		N6	W11	K7				DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R
6C	VREFB6CN0	IO			DIFFIO_TX_R32n	DIFFOUT_R64n		N5	Y11	J7				DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R	DQ19R
6A	VREFB6AN0	IO			DIFFIO_RX_R33p	DIFFOUT_R65p		J2	V8	G8												
6A	VREFB6AN0	IO			DIFFIO_RX_R33n	DIFFOUT_R65n		J1	V7	F8												
6A	VREFB6AN0	IO			DIFFIO_TX_R33p	DIFFOUT_R66p		M7	T11	T13				DQ20R			DQ20R			DQ20R		
6A	VREFB6AN0	IO			DIFFIO_TX_R33n	DIFFOUT_R66n		M6	U11	T12				DQ20R			DQ20R			DQ20R		
6A	VREFB6AN0	IO			DIFFIO_RX_R34p	DIFFOUT_R67p		J4	U7	F7				DQS20R			DQS20R			DQS20R		
6A	VREFB6AN0	IO			DIFFIO_RX_R34n	DIFFOUT_R67n		J3	U6	E7				DQSn20R			DQSn20R			DQSn20R		
6A	VREFB6AN0	IO			DIFFIO_TX_R34p	DIFFOUT_R68p		P10	V11	H7				DQ20R			DQ20R			DQ20R		
6A	VREFB6AN0	IO			DIFFIO_TX_R34n	DIFFOUT_R68n		P9	U10	G7				DQ20R			DQ20R			DQ20R		
6A	VREFB6AN0	IO			DIFFIO_RX_R35p	DIFFOUT_R69p		G1	T6	G5				DQ21R	DQ24R		DQ21R	DQ24R		DQ21R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_RX_R35n	DIFFOUT_R69n		H1	T5	F5				DQ21R	DQ24R		DQ21R	DQ24R		DQ21R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_TX_R35p	DIFFOUT_R70p		N9	U9	R13				DQ21R	DQ24R		DQ21R	DQ24R		DQ21R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_TX_R35n	DIFFOUT_R70n		N8	U8	P13				DQ21R	DQ24R		DQ21R	DQ24R		DQ21R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_RX_R36p	DIFFOUT_R71p		G2	P11	G6				DQS21R	DQS24R/CQ24R		DQS21R	DQS24R/CQ24R		DQS21R	DQS24R/CQ24R	
6A	VREFB6AN0	IO			DIFFIO_RX_R36n	DIFFOUT_R71n		F1	R10	F6				DQSn21R	DQSn24R/DQ24R		DQSn21R	DQSn24R/DQ24R		DQSn21R	DQSn24R/DQ24R	
6A	VREFB6AN0	IO			DIFFIO_TX_R36p	DIFFOUT_R72p		L7	N11	R12				DQ22R	DQ24R		DQ22R	DQ24R		DQ22R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_TX_R36n	DIFFOUT_R72n		L6	N10	R11				DQ22R	DQ24R		DQ22R	DQ24R		DQ22R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_RX_R37p	DIFFOUT_R73p		H4	N6	G9				DQS22R	DQ24R/CQn24R		DQS22R	DQ24R/CQn24R		DQS22R	DQ24R/CQn24R	
6A	VREFB6AN0	IO			DIFFIO_RX_R37n	DIFFOUT_R73n		H3	M5	F9				DQSn22R	DQ24R		DQSn22R	DQ24R		DQSn22R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_TX_R37p	DIFFOUT_R74p		K6	P9	N11				DQ22R	DQ24R		DQ22R	DQ24R		DQ22R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_TX_R37n	DIFFOUT_R74n		K5	R9	N10				DQ22R	DQ24R		DQ22R	DQ24R		DQ22R	DQ24R	
6A	VREFB6AN0	IO			DIFFIO_RX_R38p	DIFFOUT_R75p		F2	L6	F10				DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R38n	DIFFOUT_R75n		E1	L5	E10				DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R38p	DIFFOUT_R76p		N11	N7	M10				DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R38n	DIFFOUT_R76n		N10	M6	L10				DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R	DQ23R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R39p	DIFFOUT_R77p		G4	K6	D7				DQS23R	DQS25R/CQ25R	DQ26R	DQS23R	DQS25R/CQ25R	DQ26R	DQS23R	DQS25R/CQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R39n	DIFFOUT_R77n		G3	K5	C7				DQSn23R	DQSn25R/DQ25R	DQ26R	DQSn23R	DQSn25R/DQ25R	DQ26R	DQSn23R	DQSn25R/DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R39p	DIFFOUT_R78p		N12	M9	K9				DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R39n	DIFFOUT_R78n		M11	N9	J9				DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R40p	DIFFOUT_R79p		D2	J6	D8				DQS24R	DQ25R/CQn25R	DQS26R/CQ26R	DQS24R	DQ25R/CQn25R	DQS26R/CQ26R	DQS24R	DQ25R/CQn25R	DQS26R/CQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R40n	DIFFOUT_R79n		D1	J5	C8				DQSn24R	DQ25R	DQSn26R/DQ26R	DQSn24R	DQ25R	DQSn26R/DQ26R	DQSn24R	DQ25R	DQSn26R/DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R40p	DIFFOUT_R80p		J6	L8	K8				DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R40n	DIFFOUT_R80n		J5	M7	J8				DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R41p	DIFFOUT_R81p		C2	H6	D9				DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R	DQ24R	DQ25R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R41n	DIFFOUT_R81n		C1	H5	C9				DQ25R	DQ26R	DQ26R	DQ25R	DQ26R	DQ26R	DQ25R	DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R41p	DIFFOUT_R82p		M9	K8	M11				DQ25R	DQ26R	DQ26R	DQ25R	DQ26R	DQ26R	DQ25R	DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R41n	DIFFOUT_R82n		M8	K7	L11				DQ25R	DQ26R	DQ26R	DQ25R	DQ26R	DQ26R	DQ25R	DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R42p	DIFFOUT_R83p		E4	G6	D5				DQS25R	DQS26R/CQ26R	DQ26R/CQn26R	DQS25R	DQS26R/CQ26R	DQ26R/CQn26R	DQS25R	DQS26R/CQ26R	DQ26R/CQn26R
6A	VREFB6AN0	IO			DIFFIO_RX_R42n	DIFFOUT_R83n		E3	G5	C5				DQSn25R	DQSn26R/DQ26R	DQ26R	DQSn25R	DQSn26R/DQ26R	DQ26R	DQSn25R	DQSn26R/DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R42p	DIFFOUT_R84p		K8	G8	N12				DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R42n	DIFFOUT_R84n		K7	G7	M12				DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R43p	DIFFOUT_R85p		D4	D6	D10				DQS26R	DQ26R/CQn26R	DQ26R	DQS26R	DQ26R/CQn26R	DQ26R	DQS26R	DQ26R/CQn26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_RX_R43n	DIFFOUT_R85n		D3	D5	C10				DQSn26R	DQ26R	DQ26R	DQSn26R	DQ26R	DQ26R	DQSn26R	DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R43p	DIFFOUT_R86p		F5	J9	K10				DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R
6A	VREFB6AN0	IO			DIFFIO_TX_R43n	DIFFOUT_R86n		F4	J8	J10				DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R	DQ26R
6A	VREFB6AN0	IO	RUP6A		DIFFIO_RX_R44p	DIFFOUT_R87p		A2	F6	D6												
6A	VREFB6AN0	IO	RDN6A		DIFFIO_RX_R44n	DIFFOUT_R87n		B1	F5	C6												
6A	VREFB6AN0	IO			DIFFIO_TX_R44p	DIFFOUT_R88p		H7	K9	H10												
6A	VREFB6AN0	IO			DIFFIO_TX_R44n	DIFFOUT_R88n		H6	L9	G10												
		MSEL2		MSEL2			J7	K9	E6	A8												
		MSEL1		MSEL1			J9	L10	C6	H11												
		MSEL0		MSEL0			K9	J9	C5	J11												
7A	VREFB7AN0	IO				DIFFOUT_T1n	F7	J11	A3	M13	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T1p	G8	K11	C4	N13	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
7A	VREFB7AN0	IO	RDN7A		DIFFIO_RX_T1n	DIFFOUT_T2n	E7	H12	A4	N14	DQSn1T	DQ1T	DQ1T	DQSn1T	DQ1T	DQ1T	DQSn1T	DQ1T	DQ1T	DQSn1T	DQ1T	DQ1T
7A	VREFB7AN0	IO	RUP7A		DIFFIO_RX_T1p	DIFFOUT_T2p	F8	J12	A5	P14	DQS1T	DQ1T/CQn1T	DQ1T	DQS1T	DQ1T/CQn1T	DQ1T	DQS1T	DQ1T/CQn1T	DQ1T	DQS1T	DQ1T/CQn1T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T3n	G9	K12	B5	N15	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T3p	H9	L12	B3	R14	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T2n	DIFFOUT_T4n	D6	F8	A6	K13	DQSn2T	DQSn1T/DQ1T	DQ1T	DQSn2T	DQSn1T/DQ1T	DQ1T	DQSn2T	DQSn1T/DQ1T	DQ1T	DQSn2T	DQSn1T/DQ1T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T2p	DIFFOUT_T4p	E6	G8	B6	L13	DQS2T	DQS1T/CQ1T	DQ1T/CQn1T	DQS2T	DQS1T/CQ1T	DQ1T/CQn1T	DQS2T	DQS1T/CQ1T	DQ1T/CQn1T	DQS2T	DQS1T/CQ1T	DQ1T/CQn1T
7A	VREFB7AN0	IO				DIFFOUT_T5n	D5	H9	A9	K12	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T5p	F6	G9	A7	M14	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T3n	DIFFOUT_T6n	C4	G10	A8	K14	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T3p	DIFFOUT_T6p	C5	H10	B8	L14	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T7n	A2	F7	C7	J13	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T7p	B3	F6	D7	J12	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T4n	DIFFOUT_T8n	A3	D6	B9	G13	DQSn3T	DQ2T	DQSn1T/DQ1T	DQSn3T	DQ2T	DQSn1T/DQ1T	DQSn3T	DQ2T	DQSn1T/DQ1T	DQSn3T	DQ2T	DQSn1T/DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T4p	DIFFOUT_T8p	B4	E6	C9	H13	DQS3T	DQ2T/CQn2T	DQS1T/CQ1T	DQS3T	DQ2T/CQn2T	DQS1T/CQ1T	DQS3T	DQ2T/CQn2T	DQS1T/CQ1T	DQS3T	DQ2T/CQn2T	DQS1T/CQ1T
7A	VREFB7AN0	IO				DIFFOUT_T9n	A5	E7	F8	G14	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T9p	A4	D7	E8	H14	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T5n	DIFFOUT_T10n	A6	B4	C10	E13	DQSn4T	DQSn2T/DQ2T	DQ1T	DQSn4T	DQSn2T/DQ2T	DQ1T	DQSn4T	DQSn2T/DQ2T	DQ1T	DQSn4T	DQSn2T/DQ2T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T5p	DIFFOUT_T10p	B6	C5	D10	F13	DQS4T	DQS2T/CQ2T	DQ1T	DQS4T	DQS2T/CQ2T	DQ1T	DQS4T	DQS2T/CQ2T	DQ1T	DQS4T	DQS2T/CQ2T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T11n	C7	A5	E9	D13	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T11p	D7	A4	F9	F12	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T6n	DIFFOUT_T12n	A7	A3	D8	E14	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
7A	VREFB7AN0	IO			DIFFIO_RX_T6p	DIFFOUT_T12p	B7	B3	D9	F14	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
7A	VREFB7AN0	IO				DIFFOUT_T13n	B9	G11	H11	C11	DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T	
7A	VREFB7AN0	IO				DIFFOUT_T13p	A8	E10	J12	A10	DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T	
7A	VREFB7AN0	IO			DIFFIO_RX_T7n	DIFFOUT_T14n	C8	C8	G10	A11	DQSn5T	DQ3T		DQSn5T	DQ3T		DQSn5T	DQ3T		DQSn5T	DQ3T	
7A	VREFB7AN0	IO			DIFFIO_RX_T7p	DIFFOUT_T14p	D8	D8	G11	B11	DQS5T	DQ3T/CQn3T		DQS5T	DQ3T/CQn3T		DQS5T	DQ3T/CQn3T		DQS5T	DQ3T/CQn3T	
7A	VREFB7AN0	IO				DIFFOUT_T15n	B10	E9	H9	B10	DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T	
7A	VREFB7AN0	IO				DIFFOUT_T15p	A9	F10	J11	D11	DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T		DQ5T	DQ3T	
7A	VREFB7AN0	IO			DIFFIO_RX_T8n	DIFFOUT_T16n	D10	A6	J10	C14	DQSn6T	DQSn3T/DQ3T		DQSn6T	DQSn3T/DQ3T		DQSn6T	DQSn3T/DQ3T		DQSn6T	DQSn3T/DQ3T	
7A	VREFB7AN0	IO			DIFFIO_RX_T8p	DIFFOUT_T16p	E9	B6	K10	D14	DQS6T	DQS3T/CQ3T		DQS6T	DQS3T/CQ3T		DQS6T	DQS3T/CQ3T		DQS6T	DQS3T/CQ3T	
7A	VREFB7AN0	IO				DIFFOUT_T17n	F10	A7	M12	C13	DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T	
7A	VREFB7AN0	IO				DIFFOUT_T17p	E10	C6	K12	C12	DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T	
7A	VREFB7AN0	IO			DIFFIO_RX_T9n	DIFFOUT_T18n	C10	A8	L11	A13	DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T	
7A	VREFB7AN0	IO			DIFFIO_RX_T9p	DIFFOUT_T18p	D9	B7	M11	B13	DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T		DQ6T	DQ3T	
7A	VREFB7AN0	IO				DIFFOUT_T19n	H10	L13	M13	J15												
7A	VREFB7AN0	IO				DIFFOUT_T19p	G11	M13	L12	K15												
7A	VREFB7AN0	IO			DIFFIO_RX_T10n	DIFFOUT_T20n	J11	C9	N12	A14												
7A	VREFB7AN0	IO			DIFFIO_RX_T10p	DIFFOUT_T20p	J12	D9	P12	B14												
7B	VREFB7BN0	IO				DIFFOUT_T21n		M15	A11	G15				DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T21p		K13	A10	E16				DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T11n	DIFFOUT_T22n		J14	B11	F16				DQSn7T	DQ7T	DQ7T	DQSn7T	DQ7T	DQ7T	DQSn7T	DQ7T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T11p	DIFFOUT_T22p		K14	B12	G16				DQS7T	DQ7T/CQn7T	DQ7T	DQS7T	DQ7T/CQn7T	DQ7T	DQS7T	DQ7T/CQn7T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T23n		K15	C12	G17				DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
7B	VREFB7BN0	IO				DIFFOUT_T23p		L15	D11	F15					DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T12n	DIFFOUT_T24n		F13	D12	C15					DQSn8T	DQSn7T/DQ7T	DQ7T	DQSn8T	DQSn7T/DQ7T	DQ7T	DQSn8T	DQSn7T/DQ7T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T12p	DIFFOUT_T24p		G13	E12	D15					DQS8T	DQS7T/CQ7T	DQ7T/CQn7T	DQS8T	DQS7T/CQ7T	DQ7T/CQn7T	DQS8T	DQS7T/CQ7T	DQ7T/CQn7T
7B	VREFB7BN0	IO				DIFFOUT_T25n		G12	F13	A16					DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T25p		H13	F12	D16					DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T13n	DIFFOUT_T26n		F14	E11	B16					DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T13p	DIFFOUT_T26p		G14	F11	C16					DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T	DQ8T	DQ7T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T27n		D11	G13	P16					DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T27p		C11	H12	P17					DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T14n	DIFFOUT_T28n		D12	G14	M16					DQSn9T	DQ8T	DQSn7T/DQ7T	DQSn9T	DQ8T	DQSn7T/DQ7T	DQSn9T	DQ8T	DQSn7T/DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T14p	DIFFOUT_T28p		E12	H14	N16					DQS9T	DQ8T/CQn8T	DQS7T/CQ7T	DQS9T	DQ8T/CQn8T	DQS7T/CQ7T	DQS9T	DQ8T/CQn8T	DQS7T/CQ7T
7B	VREFB7BN0	IO				DIFFOUT_T29n		F11	K13	N17					DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T29p		E13	K15	M17					DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T	DQ9T	DQ8T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T15n	DIFFOUT_T30n		A9	J13	J16					DQSn10T	DQSn8T/DQ8T	DQ7T	DQSn10T	DQSn8T/DQ8T	DQ7T	DQSn10T	DQSn8T/DQ8T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T15p	DIFFOUT_T30p		B9	J14	K16					DQS10T	DQS8T/CQ8T	DQ7T	DQS10T	DQS8T/CQ8T	DQ7T	DQS10T	DQS8T/CQ8T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T31n		A11	M14	K17					DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T
7B	VREFB7BN0	IO				DIFFOUT_T31p		C10	L14	L16					DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T16n	DIFFOUT_T32n		A10	L15	H17					DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T
7B	VREFB7BN0	IO			DIFFIO_RX_T16p	DIFFOUT_T32p		B10	M15	J17					DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T	DQ10T	DQ8T	DQ7T
7C	VREFB7CN0	IO				DIFFOUT_T33n	A11	A13	A12	C17	DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T	
7C	VREFB7CN0	IO				DIFFOUT_T33p	A10	A12	A13	F17	DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T	
7C	VREFB7CN0	IO			DIFFIO_RX_T17n	DIFFOUT_T34n	C11	B13	C13	D17	DQSn11T	DQ11T		DQSn11T	DQ11T		DQSn11T	DQ11T		DQSn11T	DQ11T	
7C	VREFB7CN0	IO			DIFFIO_RX_T17p	DIFFOUT_T34p	D11	C13	D13	E17	DQS11T	DQ11T/CQn11T		DQS11T	DQ11T/CQn11T		DQS11T	DQ11T/CQn11T		DQS11T	DQ11T/CQn11T	
7C	VREFB7CN0	IO				DIFFOUT_T35n	B12	C12	D15	C18	DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T	
7C	VREFB7CN0	IO				DIFFOUT_T35p	D12	B12	C15	D18	DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T		DQ11T	DQ11T	
7C	VREFB7CN0	IO			DIFFIO_RX_T18n	DIFFOUT_T36n	E12	C14	C14	F18	DQSn12T	DQSn11T/DQ11T		DQSn12T	DQSn11T/DQ11T		DQSn12T	DQSn11T/DQ11T		DQSn12T	DQSn11T/DQ11T	
7C	VREFB7CN0	IO			DIFFIO_RX_T18p	DIFFOUT_T36p	F11	D14	D14	G18	DQS12T	DQS11T/CQ11T		DQS12T	DQS11T/CQ11T		DQS12T	DQS11T/CQ11T		DQS12T	DQS11T/CQ11T	
7C	VREFB7CN0	IO				DIFFOUT_T37n	F13	C15	D16	G20	DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T	
7C	VREFB7CN0	IO				DIFFOUT_T37p	E13	A14	C16	F20	DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T	
7C	VREFB7CN0	IO			DIFFIO_RX_T19n	DIFFOUT_T38n	C13	A15	A14	F19	DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T	
7C	VREFB7CN0	IO			DIFFIO_RX_T19p	DIFFOUT_T38p	D13	B15	B14	G19	DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T		DQ12T	DQ11T	
7C	VREFB7CN0	IO				DIFFOUT_T39n	H12	C16	E15	R18	DQ13T			DQ13T			DQ13T			DQ13T		
7C	VREFB7CN0	IO				DIFFOUT_T39p	G12	D15	E14	J18	DQ13T			DQ13T			DQ13T			DQ13T		
7C	VREFB7CN0	IO			DIFFIO_RX_T20n	DIFFOUT_T40n	G14	E15	F16	A17	DQSn13T			DQSn13T			DQSn13T			DQSn13T		
7C	VREFB7CN0	IO			DIFFIO_RX_T20p	DIFFOUT_T40p	H13	F15	F17	B17	DQS13T			DQS13T			DQS13T			DQS13T		
7C	VREFB7CN0	IO				DIFFOUT_T41n	J14	F16	E17	H19	DQ13T			DQ13T			DQ13T			DQ13T		
7C	VREFB7CN0	IO				DIFFOUT_T41p	J13	E16	F15	P18	DQ13T			DQ13T			DQ13T			DQ13T		
7C	VREFB7CN0	IO			DIFFIO_RX_T21n	DIFFOUT_T42n	C14	G16	J15	A18												
7C	VREFB7CN0	IO			DIFFIO_RX_T21p	DIFFOUT_T42p	D14	H15	J16	B19												
7C	VREFB7CN0	IO		PLL_T2_CLKOUT4		DIFFOUT_T43n		M17	M16	M19												
7C	VREFB7CN0	IO		PLL_T2_CLKOUT3		DIFFOUT_T43p		L16	K16	L19												
7C	VREFB7CN0	IO			DIFFIO_RX_T22n	DIFFOUT_T44n		H16	G16	C19												
7C	VREFB7CN0	IO			DIFFIO_RX_T22p	DIFFOUT_T44p		J16	H15	D19												
7C	VREFB7CN0	IO		PLL_T2_CLKOUT0n		DIFFOUT_T45n		K16	L17	N19												
7C	VREFB7CN0	IO		PLL_T2_CLKOUT0p		DIFFOUT_T45p		K17	M17	P19												
7C	VREFB7CN0	IO		PLL_T2_FBn/CLKOUT2		DIFFIO_RX_T23n		C17	C17	C20												
7C	VREFB7CN0	IO		PLL_T2_FBp/CLKOUT1		DIFFIO_RX_T23p		D17	D17	D20												
7C	VREFB7CN0	IO		CLK13n		DIFFOUT_T47n	A14	A16	A15	A19												
7C	VREFB7CN0	IO		CLK13p		DIFFOUT_T47p	B13	B16	B15	B20												
7C	VREFB7CN0	IO		CLK12n	DIFFIO_RX_T24n	DIFFOUT_T48n	A12	A17	A17	A20												
7C	VREFB7CN0	IO		CLK12p	DIFFIO_RX_T24p	DIFFOUT_T48p	A13	A18	B17	A21												
8C	VREFB8CN0	IO		CLK14p	DIFFIO_RX_T25p	DIFFOUT_T49p	B15	C18	B18	B22												
8C	VREFB8CN0	IO		CLK14n	DIFFIO_RX_T25n	DIFFOUT_T49n	A15	B18	A18	A22												
8C	VREFB8CN0	IO		CLK15p		DIFFOUT_T50p	B16	A20	B20	B23												
8C	VREFB8CN0	IO		CLK15n		DIFFOUT_T50n	A16	A19	A20	A23												
8C	VREFB8CN0	IO		PLL_T1_FBp/CLKOUT1	DIFFIO_RX_T26p	DIFFOUT_T51p	D15	E18	D18	G21												
8C	VREFB8CN0	IO		PLL_T1_FBn/CLKOUT2	DIFFIO_RX_T26n	DIFFOUT_T51n	C15	D18	C18	F21												
8C	VREFB8CN0	IO		PLL_T1_CLKOUT0p		DIFFOUT_T52p	J15	M19	M18	M20												
8C	VREFB8CN0	IO		PLL_T1_CLKOUT0n		DIFFOUT_T52n	H15	L18	L18	L20												
8C	VREFB8CN0	IO			DIFFIO_RX_T27p	DIFFOUT_T53p	E16	H19	H21	D21												
8C	VREFB8CN0	IO			DIFFIO_RX_T27n	DIFFOUT_T53n	D16	G19	H20	C22												
8C	VREFB8CN0	IO		PLL_T1_CLKOUT3		DIFFOUT_T54p	J16	L19	M19	N20												
8C	VREFB8CN0	IO		PLL_T1_CLKOUT4		DIFFOUT_T54n	H16	K20	K19	P20												
8C	VREFB8CN0	IO			DIFFIO_RX_T28p	DIFFOUT_T55p		K19	J20	A25												
8C	VREFB8CN0	IO			DIFFIO_RX_T28n	DIFFOUT_T55n		J19	J19	A24												
8C	VREFB8CN0	IO				DIFFOUT_T56p		F20	E18	M21				DQ14T			DQ14T			DQ14T		
8C	VREFB8CN0	IO				DIFFOUT_T56n		G20	F20	R20				DQ14T			DQ14T			DQ14T		
8C	VREFB8CN0	IO			DIFFIO_RX_T29p	DIFFOUT_T57p		E19	G19	G24				DQS14T			DQS14T			DQS14T		
8C	VREFB8CN0	IO			DIFFIO_RX_T29n	DIFFOUT_T57n		D19	F19	C24				DQSn14T			DQSn14T			DQSn14T		
8C	VREFB8CN0	IO				DIFFOUT_T58p		F19	E20	N21				DQ14T			DQ14T			DQ14T		
8C	VREFB8CN0	IO				DIFFOUT_T58n		C19	E21	M22				DQ14T			DQ14T			DQ14T		
8C	VREFB8CN0	IO			DIFFIO_RX_T30p	DIFFOUT_T59p	A19	A23	B21	J22	DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T	
8C	VREFB8CN0	IO			DIFFIO_RX_T30n	DIFFOUT_T59n	A18	A22	A21	H22	DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T	
8C	VREFB8CN0	IO				DIFFOUT_T60p	A17	B21	D19	G22	DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T	
8C	VREFB8CN0	IO				DIFFOUT_T60n	B18	A21	C19	K22	DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T		DQ15T	DQ16T	
8C	VREFB8CN0	IO			DIFFIO_RX_T31p	DIFFOUT_T61p	C18	C22	D21	J23	DQS15T	DQS16T/CQ16T		DQS15T	DQS16T/CQ16T		DQS15T	DQS16T/CQ16T		DQS15T	DQS16T/CQ16T	
8C	VREFB8CN0	IO			DIFFIO_RX_T31n	DIFFOUT_T61n	C17	B22	C21	H23	DQSn15T	DQSn16T/DQ16T		DQSn15T	DQSn16T/DQ16T		DQSn15T	DQSn16T/DQ16T		DQSn15T	DQSn16T/DQ16T	
8C	VREFB8CN0	IO				DIFFOUT_T62p	G17	F21	D20	E22	DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T	
8C	VREFB8CN0	IO				DIFFOUT_T62n	D17	C20	C20	D22	DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T	
8C	VREFB8CN0	IO			DIFFIO_RX_T32p	DIFFOUT_T63p	F17	E21	D22	E23	DQS16T	DQ16T/CQn16T		DQS16T	DQ16T/CQn16T		DQS16T	DQ16T/CQn16T		DQS16T	DQ16T/CQn16T	
8C	VREFB8CN0	IO			DIFFIO_RX_T32n	DIFFOUT_T63n	E18	D21	C22	G23	DQSn16T	DQ16T		DQSn16T	DQ16T		DQSn16T	DQ16T		DQSn16T	DQ16T	
8C	VREFB8CN0	IO				DIFFOUT_T64p	D18	D20	A23	G23	DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T	
8C	VREFB8CN0	IO				DIFFOUT_T64n	F18	C21	A22	F23	DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T		DQ16T	DQ16T	
8B	VREFB8BN0	IO			DIFFIO_RX_T33p	DIFFOUT_T65p		A26	M20	K24				DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T33n	DIFFOUT_T65n		A25	L20	J24				DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T66p		A24	M21	M24				DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T66n		B24	L21	J25				DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T	DQ17T	DQ19T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T34p	DIFFOUT_T67p		C26	J22	L23				DQS17T	DQS19T/CQ19T	DQ20T	DQS17T	DQS19T/CQ19T	DQ20T	DQS17T	DQS19T/CQ19T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T34n	DIFFOUT_T67n		B25	J21	K23				DQSn17T	DQSn19T/DQ19T	DQ20T	DQSn17T	DQSn19T/DQ19T	DQ20T	DQSn17T	DQSn19T/DQ19T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T68p		E24	K22	N22				DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T68n		C25	K20	M23				DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T35p	DIFFOUT_T69p		D24	G22	P23				DQS18T	DQ19T/CQn19T	DQS20T/CQ20T	DQS18T	DQ19T/CQn19T	DQS20T/CQ20T	DQS18T	DQ19T/CQn19T	DQS20T/CQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T35n	DIFFOUT_T69n		C24	G21	M23				DQSn18T	DQ19T	DQSn20T/DQ20T	DQSn18T	DQ19T	DQSn20T/DQ20T	DQSn18T	DQ19T	DQSn20T/DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T70p		D23	H23	R22				DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T70n		C23	H24	P22				DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T	DQ18T	DQ19T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T36p	DIFFOUT_T71p		J21	F24	G24				DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T36n	DIFFOUT_T71n		H21	E24	J24				DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T72p		L21	F22	G25				DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T72n		M21	F23	D25				DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T	DQ19T	DQ20T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T37p	DIFFOUT_T73p		K22	E23	F25				DQS19T	DQS20T/CQ20T	DQ20T/CQn20T	DQS19T	DQS20T/CQ20T	DQ20T/CQn20T	DQS19T	DQS20T/CQ20T	DQ20T/CQn20T
8B	VREFB8BN0	IO			DIFFIO_RX_T37n	DIFFOUT_T73n		K21	D23	E25				DQSn19T	DQS20T/DQ20T	DQ20T	DQSn19T	DQS20T/DQ20T	DQ20T	DQSn19T	DQS20T/DQ20T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T74p		E22	C23	C25				DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T74n		F22	D24	B25				DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T38p	DIFFOUT_T75p		H22	B24	C26				DQS20T	DQ20T/CQn20T	DQ20T	DQS20T	DQ20T/CQn20T	DQ20T	DQS20T	DQ20T/CQn20T	DQ20T
8B	VREFB8BN0	IO			DIFFIO_RX_T38n	DIFFOUT_T75n		G22	B23	B26				DQSn20T	DQ20T	DQ20T	DQSn20T	DQ20T	DQ20T	DQSn20T	DQ20T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T76p		F23	A24	A26				DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T
8B	VREFB8BN0	IO				DIFFOUT_T76n		G23	A25	D26				DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T	DQ20T
8A	VREFB8AN0	IO			DIFFIO_RX_T39p	DIFFOUT_T77p	J17	M23	P23	G26												
8A	VREFB8AN0	IO			DIFFIO_RX_T39n	DIFFOUT_T77n	H18	L22	N23	F26												
8A	VREFB8AN0	IO				DIFFOUT_T78p	H19	L24	M22	P24												
8A	VREFB8AN0	IO				DIFFOUT_T78n	J18	K25	L23	R24												
8A	VREFB8AN0	IO			DIFFIO_RX_T40p	DIFFOUT_T79p	C19	B28	M24	A28	DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T	
8A	VREFB8AN0	IO			DIFFIO_RX_T40n	DIFFOUT_T79n	B19	A29	L24	A27	DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T	
8A	VREFB8AN0	IO				DIFFOUT_T80p	A20	A27	M23	C27	DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T	
8A	VREFB8AN0	IO				DIFFOUT_T80n	A21	A28	K23	D27	DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T		DQ21T	DQ24T	
8A	VREFB8AN0	IO			DIFFIO_RX_T41p	DIFFOUT_T81p	C20	C27	K25	C28	DQS21T	DQS24T/CQ24T		DQS21T	DQS24T/CQ24T		DQS21T	DQS24T/CQ24T		DQS21T	DQS24T/CQ24T	
8A	VREFB8AN0	IO			DIFFIO_RX_T41n	DIFFOUT_T81n	B21	B27	J25	B28	DQSn21T	DQSn24T/DQ24T		DQSn21T	DQSn24T/DQ24T		DQSn21T	DQSn24T/DQ24T		DQSn21T	DQSn24T/DQ24T	
8A	VREFB8AN0	IO				DIFFOUT_T82p	F19	E25	H27	B31	DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T	
8A	VREFB8AN0	IO				DIFFOUT_T82n	G19	F24	J24	A31	DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T	
8A	VREFB8AN0	IO			DIFFIO_RX_T42p	DIFFOUT_T83p	E19	D26	G25	B29	DQS22T	DQ24T/CQn24T		DQS22T	DQ24T/CQn24T		DQS22T	DQ24T/CQn24T		DQS22T	DQ24T/CQn24T	
8A	VREFB8AN0	IO			DIFFIO_RX_T42n	DIFFOUT_T83n	D19	D27	G24	A29	DQSn22T	DQ24T		DQSn22T	DQ24T		DQSn22T	DQ24T		DQSn22T	DQ24T	
8A	VREFB8AN0	IO				DIFFOUT_T84p	D20	F25	H26	C29	DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T	
8A	VREFB8AN0	IO				DIFFOUT_T84n	F20	E27	J23	C30	DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T		DQ22T	DQ24T	

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
8A	VREFB8AN0	IO			DIFFOUT_R8p	DIFFOUT_T85p	D21	A31	D27	F28	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T43n	DIFFOUT_T85n	C21	A32	D26	E28	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T86p	A22	A30	E26	D28	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T86n	A23	B30	F26	F27	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T	DQ23T	DQ25T	DQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T44p	DIFFOUT_T87p	C22	C31	D25	E29	DQS23T	DQS25T/CQ25T	DQ26T	DQS23T	DQS25T/CQ25T	DQ26T	DQS23T	DQS25T/CQ25T	DQ26T	DQS23T	DQS25T/CQ25T	DQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T44n	DIFFOUT_T87n	B22	B31	C25	D29	DQSn23T	DQSn25T/DQ25T	DQ26T	DQSn23T	DQSn25T/DQ25T	DQ26T	DQSn23T	DQSn25T/DQ25T	DQ26T	DQSn23T	DQSn25T/DQ25T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T88p	H21	E28	F27	G27	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T88n	E21	D28	E27	H26	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T45p	DIFFOUT_T89p	E22	D29	C26	H28	DQS24T	DQS25T/CQn25T	DQS26T/CQ26T	DQS24T	DQS25T/CQn25T	DQS26T/CQ26T	DQS24T	DQS25T/CQn25T	DQS26T/CQ26T	DQS24T	DQS25T/CQn25T	DQS26T/CQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T45n	DIFFOUT_T89n	D22	C29	B26	G28	DQSn24T	DQS25T	DQSn26T/DQ26T	DQSn24T	DQS25T	DQSn26T/DQ26T	DQSn24T	DQS25T	DQSn26T/DQ26T	DQSn24T	DQS25T	DQSn26T/DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T90p	G23	D30	C28	J26	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T90n	F21	C30	D28	G29	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T	DQ24T	DQ25T	DQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T46p	DIFFOUT_T91p	B24	G26	B27	L26	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T46n	DIFFOUT_T91n	A24	F26	A27	K26	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T92p	D24	G25	A26	L25	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T92n	C25	H25	A28	K28	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T	DQ25T	DQ26T	DQ26T
8A	VREFB8AN0	IO			DIFFIO_RX_T47p	DIFFOUT_T93p	D23	G27	B29	K27	DQS25T	DQS26T/CQ26T	DQ26T/CQn26T	DQS25T	DQS26T/CQ26T	DQ26T/CQn26T	DQS25T	DQS26T/CQ26T	DQ26T/CQn26T	DQS25T	DQS26T/CQ26T	DQ26T/CQn26T
8A	VREFB8AN0	IO			DIFFIO_RX_T47n	DIFFOUT_T93n	C24	F27	A29	J27	DQSn25T	DQSn26T/DQ26T	DQ26T	DQSn25T	DQSn26T/DQ26T	DQ26T	DQSn25T	DQSn26T/DQ26T	DQ26T	DQSn25T	DQSn26T/DQ26T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T94p	A26	J23	B30	M25	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T94n	C26	K23	B32	N25	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T
8A	VREFB8AN0	IO	RUP8A		DIFFIO_RX_T48p	DIFFOUT_T95p	B25	J24	A31	P26	DQS26T	DQ26T/CQn26T	DQ26T	DQS26T	DQ26T/CQn26T	DQ26T	DQS26T	DQ26T/CQn26T	DQ26T	DQS26T	DQ26T/CQn26T	DQ26T
8A	VREFB8AN0	IO	RDN8A		DIFFIO_RX_T48n	DIFFOUT_T95n	A25	H24	A30	N26	DQSn26T	DQ26T	DQ26T	DQSn26T	DQ26T	DQ26T	DQSn26T	DQ26T	DQ26T	DQSn26T	DQ26T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T96p	A27	J25	A32	P25	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T
8A	VREFB8AN0	IO				DIFFOUT_T96n	B27	K24	C31	M27	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T	DQ26T
QL2		GXB_TX_L11p								B36												
QL2		GXB_TX_L11n								B37												
QL2		GXB_RX_L11p								C38												
QL2		GXB_RX_L11n								C39												
QL2		GXB_TX_L10p								D36												
QL2		GXB_TX_L10n								D37												
QL2		GXB_RX_L10p								E38												
QL2		GXB_RX_L10n								E39												
QL2		GXB_CMUTX_L5p								F36												
QL2		GXB_CMUTX_L5n								F37												
QL2		REFCLK_L5p, GXB_CMURX_L5p								G38												
QL2		REFCLK_L5n, GXB_CMURX_L5n								G39												
QL2		GXB_CMUTX_L4p								H36												
QL2		GXB_CMUTX_L4n								H37												
QL2		REFCLK_L4p, GXB_CMURX_L4p								J38												
QL2		REFCLK_L4n, GXB_CMURX_L4n								J39												
QL2		GXB_TX_L9p								K36												
QL2		GXB_TX_L9n								K37												
QL2		GXB_RX_L9p								L38												
QL2		GXB_RX_L9n								L39												
QL2		GXB_TX_L8p								M36												
QL2		GXB_TX_L8n								M37												
QL2		GXB_RX_L8p								N38												
QL2		GXB_RX_L8n								N39												
QL1		GXB_TX_L7p						V31	E31	P36												
QL1		GXB_TX_L7n						V32	E32	P37												
QL1		GXB_RX_L7p						U33	F33	R38												
QL1		GXB_RX_L7n						U34	F34	R39												
QL1		GXB_TX_L6p						Y31	G31	T36												
QL1		GXB_TX_L6n						Y32	G32	T37												
QL1		GXB_RX_L6p						W33	H33	U38												
QL1		GXB_RX_L6n						W34	H34	U39												
QL1		GXB_CMUTX_L3p							J31	V36												
QL1		GXB_CMUTX_L3n							J32	V37												
QL1		REFCLK_L3p, GXB_CMURX_L3p						AC29	K33	W38												
QL1		REFCLK_L3n, GXB_CMURX_L3n						AC30	K34	W39												
QL1		GXB_CMUTX_L2p							L31	Y36												
QL1		GXB_CMUTX_L2n							L32	Y37												
QL1		REFCLK_L2p, GXB_CMURX_L2p						AE29	M33	AA38												
QL1		REFCLK_L2n, GXB_CMURX_L2n						AE30	M34	AA39												
QL1		GXB_TX_L5p						AB31	N31	AB36												
QL1		GXB_TX_L5n						AB32	N32	AB37												
QL1		GXB_RX_L5p						AA33	P33	AC38												
QL1		GXB_RX_L5n						AA34	P34	AC39												
QL1		GXB_TX_L4p						AD31	R31	AD36												
QL1		GXB_TX_L4n						AD32	R32	AD37												
QL1		GXB_RX_L4p						AC33	T33	AE38												
QL1		GXB_RX_L4n						AC34	T34	AE39												
QL0		GXB_TX_L3p						AF31	U31	AF36												
QL0		GXB_TX_L3n						AF32	U32	AF37												
QL0		GXB_RX_L3p						AE33	V33	AG38												
QL0		GXB_RX_L3n						AE34	V34	AG39												
QL0		GXB_TX_L2p						AH31	W31	AH36												
QL0		GXB_TX_L2n						AH32	W32	AH37												
QL0		GXB_RX_L2p						AG33	Y33	AJ38												
QL0		GXB_RX_L2n						AG34	Y34	AJ39												
QL0		GXB_CMUTX_L1p							AA31	AK36												
QL0		GXB_CMUTX_L1n							AA32	AK37												
QL0		REFCLK_L1p, GXB_CMURX_L1p						AG29	AB33	AL38												
QL0		REFCLK_L1n, GXB_CMURX_L1n						AG30	AB34	AL39												
QL0		GXB_CMUTX_L0p							AC31	AM36												
QL0		GXB_CMUTX_L0n							AC32	AM37												
QL0		REFCLK_L0p, GXB_CMURX_L0p						AJ29	AD33	AN38												
QL0		REFCLK_L0n, GXB_CMURX_L0n						AJ30	AD34	AN39												
QL0		GXB_TX_L1p						AK31	AE31	AP36												
QL0		GXB_TX_L1n						AK32	AE32	AP37												
QL0		GXB_RX_L1p						AJ33	AF33	AR38												
QL0		GXB_RX_L1n						AJ34	AF34	AR39												
QL0		GXB_TX_L0p						AM31	AG31	AT36												
QL0		GXB_TX_L0n						AM32	AG32	AT37												
QL0		GXB_RX_L0p						AL33	AH33	AU38												
QL0		GXB_RX_L0n						AL34	AH34	AU39												
QR0		GXB_RX_R0n					AD1	AL1	AH1	AU1												
QR0		GXB_RX_R0p					AD2	AL2	AH2	AU2												
QR0		GXB_TX_R0n					AC3	AM3	AG3	AT3												
QR0		GXB_TX_R0p					AC4	AM4	AG4	AT4												
QR0		GXB_RX_R1n					AB1	AJ1	AF1	AR1												
QR0		GXB_RX_R1p					AB2	AJ2	AF2	AR2												
QR0		GXB_TX_R1n					AA3	AK3	AE3	AP3												
QR0		GXB_TX_R1p					AA4	AK4	AE4	AP4												
QR0		REFCLK_R0n, GXB_CMURX_R0n					Y1	AJ5	AD1	AN1												
QR0		REFCLK_R0p, GXB_CMURX_R0p					Y2	AJ6	AD2	AN2												
QR0		GXB_CMUTX_R0n							AC3	AM3												
QR0		GXB_CMUTX_R0p							AC4	AM4												
QR0		REFCLK_R1n, GXB_CMURX_R1n					W3	AG5	AB1	AL1												
QR0		REFCLK_R1p, GXB_CMURX_R1p					W4	AG6	AB2	AL2												
QR0		GXB_CMUTX_R1n							AA3	AK3												
QR0		GXB_CMUTX_R1p							AA4	AK4												
QR0		GXB_RX_R2n					V1	AG1	Y1	AJ1												
QR0		GXB_RX_R2p					V2	AG2	Y2	AJ2												
QR0		GXB_TX_R2n					U3	AH3	W3	AH3												
QR0		GXB_TX_R2p					U4	AH4	W4	AH4												
QR0		GXB_RX_R3n					T1	AE1	V1	AG1												
QR0		GXB_RX_R3p					T2	AE2	V2	AG2												
QR0		GXB_TX_R3n					R3	AF3	U3	AF3												
QR0		GXB_TX_R3p					R4	AF4	U4	AF4												
QR1		GXB_RX_R4n					P1	AC1	T1	AE1												
QR1		GXB_RX_R4p					P2	AC2	T2	AE2												
QR1		GXB_TX_R4n					N3	AD3	R3	AD3												

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
QR1		GXB_TX_R4p					N4	AD4	R4	AD4												
QR1		GXB_RX_R5n					M1	AA1	P1	AC1												
QR1		GXB_RX_R5p					M2	AA2	P2	AC2												
QR1		GXB_TX_R5n					L3	AB3	N3	AB3												
QR1		GXB_TX_R5p					L4	AB4	N4	AB4												
QR1		REFCLK_R2n, GXB_CMURX_R2n					K1	AE5	M1	AA1												
QR1		REFCLK_R2p, GXB_CMURX_R2p					K2	AE6	M2	AA2												
QR1		GXB_CMUTX_R2n							L3	Y3												
QR1		GXB_CMUTX_R2p							L4	Y4												
QR1		REFCLK_R3n, GXB_CMURX_R3n					J3	AC5	K1	W1												
QR1		REFCLK_R3p, GXB_CMURX_R3p					J4	AC6	K2	W2												
QR1		GXB_CMUTX_R3n							J3	V3												
QR1		GXB_CMUTX_R3p							J4	V4												
QR1		GXB_RX_R6n					H1	W1	H1	U1												
QR1		GXB_RX_R6p					H2	W2	H2	U2												
QR1		GXB_TX_R6n					G3	Y3	G3	T3												
QR1		GXB_TX_R6p					G4	Y4	G4	T4												
QR1		GXB_RX_R7n					F1	U1	F1	R1												
QR1		GXB_RX_R7p					F2	U2	F2	R2												
QR1		GXB_TX_R7n					E3	V3	E3	P3												
QR1		GXB_TX_R7p					E4	V4	E4	P4												
QR2		GXB_RX_R8n								N1												
QR2		GXB_RX_R8p								N2												
QR2		GXB_TX_R8n								M3												
QR2		GXB_TX_R8p								M4												
QR2		GXB_RX_R9n								L1												
QR2		GXB_RX_R9p								L2												
QR2		GXB_TX_R9n								K3												
QR2		GXB_TX_R9p								K4												
QR2		REFCLK_R4n, GXB_CMURX_R4n								J1												
QR2		REFCLK_R4p, GXB_CMURX_R4p								J2												
QR2		GXB_CMUTX_R4n								H3												
QR2		GXB_CMUTX_R4p								H4												
QR2		REFCLK_R5n, GXB_CMURX_R5n								G1												
QR2		REFCLK_R5p, GXB_CMURX_R5p								G2												
QR2		GXB_CMUTX_R5n								F3												
QR2		GXB_CMUTX_R5p								F4												
QR2		GXB_RX_R10n								E1												
QR2		GXB_RX_R10p								E2												
QR2		GXB_TX_R10n								D3												
QR2		GXB_TX_R10p								D4												
QR2		GXB_RX_R11n								C1												
QR2		GXB_RX_R11p								C2												
QR2		GXB_TX_R11n								B3												
QR2		GXB_TX_R11p								B4												
		GND					W8	AC8	AN2	AL11												
		GND					P15	U18	U18	Y21												
		GND					AG3	B32	U22	B27												
		GND					AG6	AN6	AN4	AV6												
		GND					AG9	AN9	AN7	AV9												
		GND					AG12	AN12	AN10	AV12												
		GND					AG15	AN15	AN13	AV15												
		GND					AG18	AN18	AN16	AV18												
		GND					AG21	AN21	AN19	AV21												
		GND					AG24	AN24	AN22	AV24												
		GND					AG27	AN27	AN25	AV27												
		GND					AD6	AN29	AN28	AV30												
		GND					AD9	AK9	AN31	AV33												
		GND					AD12	AK12	AK4	AR6												
		GND					AD15	AK15	AK7	AR9												
		GND					AD18	AK18	AK10	AR12												
		GND					AD21	AK21	AK13	AR15												
		GND					AD24	AK24	AK16	AR18												
		GND					AD27	AK27	AK19	AR21												
		GND					AA6	AG9	AK22	AR24												
		GND					AA9	AG12	AK25	AR27												
		GND					AA12	AG15	AK28	AR30												
		GND					AA15	AG18	AK31	AR33												
		GND					AA18	AG21	AG7	AM7												
		GND					AA21	AG24	AG10	AM9												
		GND					AA24	AG27	AG13	AM12												
		GND					AA27	AF8	AG16	AM15												
		GND					W12	AD12	AG19	AM18												
		GND					W14	AD15	AG22	AM21												
		GND					W16	AD18	AG25	AM24												
		GND					W18	AD21	AG28	AM27												
		GND					W19	AD24	AD7	AM30												
		GND					V9	AD27	AD10	AM33												
		GND					V11	AC9	AD13	AJ7												
		GND					V13	AC11	AD16	AJ9												
		GND					V15	AB13	AD19	AJ12												
		GND					V17	AB15	AD22	AJ15												
		GND					V19	AB17	AD25	AJ18												
		GND					V21	AB19	AD28	AJ21												
		GND					V24	AB21	AB7	AJ24												
		GND					V27	AA14	AB13	AJ27												
		GND					U12	AA16	AB15	AJ30												
		GND					U14	AA18	AB17	AJ33												
		GND					U16	AA20	AB19	AF9												
		GND					U18	AA22	AB21	AF12												
		GND					T11	AA24	AB28	AF15												
		GND					T13	Y11	AA10	AF18												
		GND					T15	Y13	AA14	AF21												
		GND					T17	Y15	AA16	AF24												
		GND					T19	Y17	AA18	AF27												
		GND					R12	Y19	AA20	AF30												
		GND					R16	Y21	AA22	AD23												
		GND					R18	W14	AA25	AC7												
		GND					R21	W16	Y13	AC9												
		GND					R24	W18	Y15	AC12												
		GND					R27	W20	Y17	AC14												
		GND					P11	W22	Y19	AC16												
		GND					P13	V13	Y21	AC18												
		GND					P17	V15	W10	AC20												
		GND					P19	V19	W14	AC22												
		GND					N12	V21	W16	AC24												
		GND					N14	V24	W18	AC27												
		GND					N16	U11	W20	AC30												
		GND					N18	U14	W22	AC33												
		GND					M11	U16	W25	AB15												
		GND					M13	U20	V13	AB17												
		GND					M15	U22	V15	AB19												
		GND					M17	T13	V19	AB21												
		GND					M19	T15	V21	AB23												
		GND					M21	T17	U14	AB25												
		GND					M24	T19	U16	AA14												
		GND					M27	T21	U20	AA16												
		GND					L8	R14	T10	AA18												
		GND					L12	R16	T13	AA22												
		GND					L14	R18	T15	AA24												
		GND					L16	R20	T17	Y12												
		GND					L18	R22	T19	Y15												
		GND					K11	R24	T21	Y17												

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
		GND					K13	R27	T25	Y19												
		GND					K15	R30	R14	Y23												
		GND					K17	R33	R16	Y25												
		GND					K19	P2	R18	Y27												
		GND					J21	P5	R20	Y30												
		GND					J24	P8	R22	W10												
		GND					J27	P11	P10	W14												
		GND					H5	P13	P13	W16												
		GND					H8	P15	P15	W18												
		GND					H11	P17	P17	W20												
		GND					H14	P19	P19	W22												
		GND					H17	P21	P21	W24												
		GND					H20	N14	P25	V15												
		GND					F24	N16	N14	V17												
		GND					F27	N18	N16	V19												
		GND					E5	N20	N18	V21												
		GND					E8	N22	N20	V23												
		GND					E11	M24	N22	V25												
		GND					E14	M27	L7	U9												
		GND					E17	M30	L10	U12												
		GND					E20	M33	L13	U14												
		GND					E23	L2	L16	U16												
		GND					C27	L5	L19	U18												
		GND					B2	L8	L22	U20												
		GND					B5	L11	L25	U22												
		GND					B8	L14	L28	U24												
		GND					B11	L17	H7	U26												
		GND					B14	L20	H10	U28												
		GND					B17	L23	H13	U30												
		GND					B20	J27	H16	T15												
		GND					B23	J30	H19	T17												
		GND					B26	J33	H22	T19												
		GND					C2	H2	H25	T21												
		GND					C1	H5	H28	T23												
		GND					D4	H8	E7	T25												
		GND					D3	H11	E10	P7												
		GND					D2	H14	E13	P9												
		GND					E2	H17	E16	P12												
		GND					E1	H20	E19	P15												
		GND					F4	H23	E22	P21												
		GND					F3	H26	E25	P27												
		GND					G2	F30	E28	P30												
		GND					G1	F33	B4	P33												
		GND					H4	E2	B7	N18												
		GND					H3	E5	B10	N24												
		GND					J2	E8	B13	L6												
		GND					J1	E11	B16	L9												
		GND					K4	E14	B19	L12												
		GND					K3	E17	B22	L15												
		GND					L5	E20	B25	L18												
		GND					L2	E23	B28	L21												
		GND					L1	E26	B31	L24												
		GND					M6	E29	C34	L27												
		GND					M4	C33	C33	L30												
		GND					M3	B2	D33	L33												
		GND					N7	B5	D32	H6												
		GND					N5	B8	D31	H9												
		GND					N2	B11	E34	H12												
		GND					N1	B14	E33	H15												
		GND					P8	B17	F32	H18												
		GND					P6	B20	F31	H21												
		GND					P4	B23	G34	H24												
		GND					P3	B26	G33	H27												
		GND					R7	B29	H32	H30												
		GND					R5	T34	H31	H33												
		GND					R2	T33	J34	E6												
		GND					R1	T32	J33	E9												
		GND					T8	U32	K32	E12												
		GND					T6	U31	K31	E15												
		GND					T4	U29	L34	E18												
		GND					T3	U27	L33	E21												
		GND					U5	V34	M32	E24												
		GND					U2	V33	M31	E27												
		GND					U1	V30	N34	E30												
		GND					V6	V28	N33	E33												
		GND					V4	W32	P32	B9												
		GND					V3	W31	P31	B12												
		GND					W2	W29	P29	B15												
		GND					W1	W27	P27	B18												
		GND					Y4	Y34	R34	B21												
		GND					Y3	Y33	R33	B24												
		GND					AA2	Y30	T32	B30												
		GND					AA1	Y28	T31	A38												
		GND					AB4	AA32	T28	A37												
		GND					AB3	AA31	U34	A36												
		GND					AC2	AA29	U33	A35												
		GND					AC1	AA27	V32	A33												
		GND					AD4	AB34	V31	B39												
		GND					AD3	AB33	W34	B38												
		GND					AE2	AB30	W33	B35												
		GND					AE1	AB28	W29	B34												
		GND					AF2	AC32	W27	B33												
		GND					AG2	AC31	Y32	C37												
		GND					AG1	AD34	AA28	C36												
		GND						AD33	AL33	D39												
		GND						AD30	AL34	D38												
		GND						AD29	AK33	E37												
		GND						AE32	AJ33	E36												
		GND						AE31	AJ34	F39												
		GND						AF34	AH31	T34												
		GND						AF33	AH32	AW37												
		GND						AF30	AG33	AV37												
		GND						AF29	AG34	AV38												
		GND						AG32	AF31	AV39												
		GND						AG31	AF32	AU36												
		GND						AP33	AE33	AU37												
		GND						AN31	AE34	AT38												
		GND						AN32	AD31	AT39												
		GND						AN33	AD32	AR36												
		GND						AM33	AC33	AR37												
		GND						AM34	AC34	AP38												
		GND						AL31	AB31	AP39												
		GND						AL32	AB32	AN36												
		GND						AK29	AA33	AN37												
		GND						AK30	AA34	AM38												
		GND						AK33	Y31	AM39												
		GND						AK34	C2	AL36												
		GND						AJ31	C1	AL37												
		GND						AJ32	D4	AK38												
		GND						AH29	D3	AK39												
		GND						AH30	D2	AJ36												
		GND						AH33	E2	AJ37												
		GND						AH34	E1	AH38												

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
		GND						T3	F4	AH39												
		GND						T2	F3	AG36												
		GND						T1	G2	AG37												
		GND						U8	G1	AF33												
		GND						U6	H4	AF38												
		GND						U4	H3	AF39												
		GND						U3	J2	AE36												
		GND						Y7	J1	AE37												
		GND						V5	K4	AD32												
		GND						V2	K3	AD34												
		GND						V1	L2	AD38												
		GND						W8	L1	AD39												
		GND						W6	M4	AC36												
		GND						W4	M3	AC37												
		GND						W3	N2	AB33												
		GND						Y7	N1	AB38												
		GND						Y5	P8	AB39												
		GND						Y2	P6	AA36												
		GND						Y1	P4	AA37												
		GND						AA8	P3	Y32												
		GND						AA6	R2	Y34												
		GND						AA4	R1	Y38												
		GND						AA3	T7	Y39												
		GND						AB7	T4	W36												
		GND						AB5	T3	W37												
		GND						AB2	U2	V33												
		GND						AB1	U1	V38												
		GND						AC4	V4	V39												
		GND						AC3	V3	U36												
		GND						AD6	W8	U37												
		GND						AD5	W6	T32												
		GND						AD2	W2	T38												
		GND						AD1	W1	T39												
		GND						AE4	Y4	R36												
		GND						AE3	Y3	R37												
		GND						AF6	AA7	P38												
		GND						AF5	AA2	P39												
		GND						AF2	AA1	N36												
		GND						AF1	AB4	N37												
		GND						AG4	AB3	M38												
		GND						AG3	AC2	M39												
		GND						AH6	AC1	L36												
		GND						AH5	AD4	L37												
		GND						AH2	AD3	K38												
		GND						AH1	AE2	K39												
		GND						AJ4	AE1	J36												
		GND						AJ3	AF4	J37												
		GND						AK6	AF3	H38												
		GND						AK5	AG2	H39												
		GND						AK2	AG1	G36												
		GND						AK1	AH4	G37												
		GND						AL4	AH3	F38												
		GND						AL3	AJ2	A7												
		GND						AM2	AJ1	A5												
		GND						AM1	AK2	A4												
		GND						AN4	AL2	A3												
		GND						AN3	AL1	A2												
		GND						AN2		B7												
		GND						AP2		B6												
		GND								B5												
		GND								B2												
		GND								B1												
		GND								C4												
		GND								C3												
		GND								D2												
		GND								D1												
		GND								E4												
		GND								E3												
		GND								F2												
		GND								T8												
		GND								AW3												
		GND								AV1												
		GND								AV2												
		GND								AV3												
		GND								AU3												
		GND								AU4												
		GND								AT1												
		GND								AT2												
		GND								AR3												
		GND								AR4												
		GND								AP1												
		GND								AP2												
		GND								AN3												
		GND								AN4												
		GND								AM1												
		GND								AM2												
		GND								AL3												
		GND								AL4												
		GND								AK1												
		GND								AK2												
		GND								AJ3												
		GND								AJ4												
		GND								AH1												
		GND								AH2												
		GND								AG3												
		GND								AG4												
		GND								AF1												
		GND								AF2												
		GND								AF7												
		GND								AE3												
		GND								AE4												
		GND								AD1												
		GND								AD2												
		GND								AD6												
		GND								AD8												
		GND								AC3												
		GND								AC4												
		GND								AB1												
		GND								AB2												
		GND								AB7												
		GND								AA3												
		GND								AA4												
		GND								Y1												
		GND								Y2												
		GND								Y6												
		GND								Y8												
		GND								W3												
		GND								W4												
		GND								V1												
		GND								V2												
		GND								V7												
		GND								U3												
		GND								U4												

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
		GND								T1												
		GND								T2												
		GND								T6												
		GND								R3												
		GND								R4												
		GND								P1												
		GND								P2												
		GND								N3												
		GND								N4												
		GND								M1												
		GND								M2												
		GND								L3												
		GND								L4												
		GND								K1												
		GND								K2												
		GND								J3												
		GND								J4												
		GND								H1												
		GND								H2												
		GND								G3												
		GND								G4												
		GND								F1												
		VCC					P14	U17	U17	Y20												
		VCC					V12	N19	P20	AC15												
		VCC					V14	AB14	AA15	AC17												
		VCC					V16	AB16	AA17	AC19												
		VCC					V18	AB18	AA19	AC21												
		VCC					U11	AB20	AA21	AC23												
		VCC					U13	AB22	Y14	AC25												
		VCC					U15	AA13	Y16	AB14												
		VCC					U17	AA15	Y18	AB16												
		VCC					T12	AA17	Y20	AB18												
		VCC					T14	AA19	W15	AB20												
		VCC					T16	AA21	W17	AB22												
		VCC					T18	Y14	W19	AB24												
		VCC					R11	Y16	W21	AA15												
		VCC					R13	Y18	V14	AA17												
		VCC					R15	Y20	V16	AA19												
		VCC					R17	Y22	V18	AA21												
		VCC					P12	W13	V20	AA23												
		VCC					P16	W15	U15	AA25												
		VCC					P18	W17	U19	Y14												
		VCC					N11	W19	U21	Y16												
		VCC					N13	W21	T14	Y18												
		VCC					N15	V14	T16	Y22												
		VCC					N17	V16	T18	Y24												
		VCC					M12	V18	T20	W15												
		VCC					M14	V20	R15	W17												
		VCC					M16	V22	R17	W19												
		VCC					M18	U13	R19	W21												
		VCC					L11	U15	R21	W23												
		VCC					L13	U19	P14	W25												
		VCC					L15	U21	P16	V14												
		VCC					L17	T14	P18	V16												
		VCC					M8	T16	AA27	V18												
		VCC					U7	T18	Y27	V20												
		VCC					U8	T20	T27	V22												
		VCC					M7	T22	R27	V24												
		VCC						R13	AA8	V26												
		VCC						R15	Y8	U15												
		VCC						R17	T8	U17												
		VCC						R19	R8	U19												
		VCC						R21		U21												
		VCC						P14		U23												
		VCC						P16		U25												
		VCC						P18		T14												
		VCC						P20		T16												
		VCC						P22		T18												
		VCC						N13		T20												
		VCC						N15		T22												
		VCC						N17		T24												
		VCC						N21		T26												
		VCC						AB26		AE32												
		VCC						AB27		AF32												
		VCC						Y26		AB32												
		VCC						U26		AA32												
		VCC						AB8		V32												
		VCC						AB9		U32												
		VCC						V9		AF8												
		VCC						U9		AE8												
		VCC								AB8												
		VCC								AA8												
		VCC								V8												
		VCC								U8												
		VCCPT					R22	Y23	Y22	AA27												
		VCCPT					P22	Y24	W23	AA26												
		VCCPT					AB14	AF17	AJ18	AM20												
		VCCPT					P10	W11	W12	AA12												
		VCCPT					R10	W12	W13	Y13												
		VCCPT					G15	J18	F18	H20												
		DNU					R14	V17	V17	AA20												
		VCCPGM					Y20	AD25	AL29	AK28												
		VCCPGM					W9	AD10	AL6	AK12												
		TEMPDIODEn					H7	C3	A2	E11												
		TEMPDIODEp					G6	D5	B1	A9												
		VCC_CLKIN3C					AD14	AF18	AH18	AK21												
		VCC_CLKIN4C					AC13	AE17	AH17	AK18												
		VCC_CLKIN7C					F14	J17	G17	K18												
		VCC_CLKIN8C					F16	K18	G18	K21												
		VCCBAT					H6	G6	H8	K11												
		VCCA_PLL_B1					AC14	AJ18	AF18	AL20												
		VCCA_PLL_B2						AH17	AF17	AL19												
		VCCA_PLL_L2					R23	W25	V23	Y29												
		VCCA_PLL_L3								AA29												
		VCCA_PLL_R2						W10	V12	Y10												
		VCCA_PLL_R3								AA10												
		VCCA_PLL_T1					E15	G18	J18	J20												
		VCCA_PLL_T2						F17	J17	J19												
		VCCD_PLL_B1					AC15	AH18	AG18	AK20												
		VCCD_PLL_B2						AG17	AG17	AK19												
		VCCD_PLL_L2					P23	W24	U23	Y28												
		VCCD_PLL_L3								AA28												
		VCCD_PLL_R2						V10	U12	Y11												
		VCCD_PLL_R3								AA11												
		VCCD_PLL_T1					F15	H18	H18	K20												
		VCCD_PLL_T2						G17	H17	K19												
		VCCIO1A					J23	P25	E30	E35												
		VCCIO1A					H26	M28	T26	J31												
		VCCIO1A					E26	K27	P30	G32												
		VCCIO1A						H32	M27	G34												
		VCCIO1A						E32	J28	D32												
		VCCIO1C					P24	L32	Y30	K33												
		VCCIO1C					N26	U25	AJ28	AA30												

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
		VCCIO1C						R28	AF30	T29												
		VCCIO1C						P30	AD26	N32												
		VCCIO2A					AD25			AJ28												
		VCCIO2A					AB26			AT35												
		VCCIO2A					AA23			AP31												
		VCCIO2A								AM32												
		VCCIO2A								AG26												
		VCCIO2C					T24			AF31												
		VCCIO2C					T26			AL33												
		VCCIO2C								AH31												
		VCCIO2C								AG33												
		VCCIO3A					AF20	AF25	AE24	AH25												
		VCCIO3A					AF23	AM28	AM27	AU30												
		VCCIO3A					AC20	AJ26	AM32	AR29												
		VCCIO3A					Y19	AE23	AJ25	AL26												
		VCCIO3B						AJ23	AE21	AG23												
		VCCIO3B						AL25	AM24	AR26												
		VCCIO3C					AF17	AH20	AE18	AH21												
		VCCIO3C					AC17	AN19	AP19	AW24												
		VCCIO3C						AL22	AJ21	AK22												
		VCCIO4A					AF5	AF9	AE11	AH15												
		VCCIO4A					AF8	AM7	AM3	AU13												
		VCCIO4A					AC7	AH10	AM8	AP12												
		VCCIO4A					AC9	AF11	AJ10	AK15												
		VCCIO4B						AL13	AE14	AJ17												
		VCCIO4B						AL10	AM11	AW15												
		VCCIO4C					AF13	AJ17	AE17	AJ19												
		VCCIO4C					AC11	AN16	AP16	AW17												
		VCCIO4C						AH14	AJ14	AU21												
		VCCIO5A								AK10												
		VCCIO5A								AW9												
		VCCIO5A								AR7												
		VCCIO5A								AR10												
		VCCIO5A								AN8												
		VCCIO5C								AE9												
		VCCIO5C								AL7												
		VCCIO5C								AJ8												
		VCCIO5C								AH7												
		VCCIO6A						F3	E5	B8												
		VCCIO6A						L9	T9	M9												
		VCCIO6A						K4	P5	H8												
		VCCIO6A						J7	M8	E5												
		VCCIO6A						G5	J7	E8												
		VCCIO6C						N7	Y5	M5												
		VCCIO6C						R4	AJ7	V13												
		VCCIO6C						R9	AF5	T11												
		VCCIO6C						M3	AD9	P10												
		VCCIO7A					J10	C7	C8	A12												
		VCCIO7A					F9	K10	K11	M15												
		VCCIO7A					C6	F9	F10	J14												
		VCCIO7A					C9	C4	C3	D12												
		VCCIO7B						F12	C11	A15												
		VCCIO7B						D10	K14	L17												
		VCCIO7C					F12	D16	A16	C21												
		VCCIO7C					C12	G15	K17	M18												
		VCCIO7C						D13	F14	E19												
		VCCIO8A					J19	C28	C32	A30												
		VCCIO8A					F22	L25	K24	M26												
		VCCIO8A					E24	G24	F25	J28												
		VCCIO8A					C23	F28	C27	D30												
		VCCIO8B						D25	C24	E26												
		VCCIO8B						D22	K21	K25												
		VCCIO8C					G18	B19	A19	C23												
		VCCIO8C					C16	G21	K18	L22												
		VCCIO8C						F18	F21	F22												
		VCCPD1A					L19	N23	M25	U27												
		VCCPD1C					N19	R23	V22	W27												
		VCCPD2A					U19			AB26												
		VCCPD2C					R19			Y26												
		VCCPD3A					W17	AC23	AB22	AD24												
		VCCPD3B						AC21	AB20	AD22												
		VCCPD3C					W15	AC19	AB18	AD20												
		VCCPD4A					W11	AC13	AA13	AD14												
		VCCPD4B						AC15	AB14	AD16												
		VCCPD4C					W13	AC17	AB16	AD18												
		VCCPD5A								AC13												
		VCCPD5C								AA13												
		VCCPD6A						P12	M10	U13												
		VCCPD6C						T12	U13	W13												
		VCCPD7A					K12	M12	N13	R15												
		VCCPD7B						M14	N15	R17												
		VCCPD7C					K14	M16	N17	R19												
		VCCPD8A					K18	M22	P22	R25												
		VCCPD8B						M20	N21	R23												
		VCCPD8C					K16	M18	N19	R21												
1A	VREFB1AN0	VREFB1AN0	VREFB1AN0				J22	M26	N27	P28												
1C	VREFB1CN0	VREFB1CN0	VREFB1CN0				M22	R26	V25	U29												
2A	VREFB2AN0	VREFB2AN0	VREFB2AN0				Y22			AF28												
2C	VREFB2CN0	VREFB2CN0	VREFB2CN0				U22			AB29												
3A	VREFB3AN0	VREFB3AN0	VREFB3AN0				AB19	AF26	AH26	AN28												
3B	VREFB3BN0	VREFB3BN0	VREFB3BN0					AF22	AH23	AL24												
3C	VREFB3CN0	VREFB3CN0	VREFB3CN0				AB16	AF20	AH20	AP22												
4A	VREFB4AN0	VREFB4AN0	VREFB4AN0				AB8	AF10	AH9	AN12												
4B	VREFB4BN0	VREFB4BN0	VREFB4BN0					AF13	AH12	AM16												
4C	VREFB4CN0	VREFB4CN0	VREFB4CN0				AB13	AF15	AH15	AL18												
5A	VREFB5AN0	VREFB5AN0	VREFB5AN0							AG11												
5C	VREFB5CN0	VREFB5CN0	VREFB5CN0							AD11												
6A	VREFB6AN0	VREFB6AN0	VREFB6AN0					M10	N8	P11												
6C	VREFB6CN0	VREFB6CN0	VREFB6CN0					R10	V10	U11												
7A	VREFB7AN0	VREFB7AN0	VREFB7AN0				G10	J10	G9	G12												
7B	VREFB7BN0	VREFB7BN0	VREFB7BN0					J13	G12	H16												
7C	VREFB7CN0	VREFB7CN0	VREFB7CN0				G13	J15	G15	E20												
8A	VREFB8AN0	VREFB8AN0	VREFB8AN0				G20	J26	G26	F29												
8B	VREFB8BN0	VREFB8BN0	VREFB8BN0					J22	G23	H25												
8C	VREFB8CN0	VREFB8CN0	VREFB8CN0				G16	J20	G20	J21												
		NC					F23	D31	C30	L28												
		NC					AE26	AK28	AN34	AM28												
		NC					AB6	AK7	AF9	AK11												
		NC					J8	G7	B2	F11												
		NC					AE3	AL29	AJ32	AV36												
		NC					AE4	AL30	AJ31	AU35												
		NC					AE5	AL5	AJ4	AU5												
		NC					AD5	AL6	AJ3	AV4												
		NC					AC5	AJ7	AB11	AD17												
		NC					AB5	AJ28	AB24	R16												
		NC					AA5	AH7	AA11	R26												
		NC					Y5	AH28	AA12													
		NC					W5	AG7	AA23													
		NC					W10	AG28	AA24													
		NC					V7	AF7	Y12													
		NC					V8	AF28	Y23													
		NC					V10	AE7	T12													
		NC					U9	AE28	T22													

Copyright © 2009 Altera Corp.

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	F1152 *Note(1), (2)*	F1152 *Note(1), (2)* (with PMA Transceiver)	F1517	DQS for X4 for F780	DQS for X8/X9 for F780	DQS for X16/X18 for F780	DQS for X4 for F1152	DQS for X8/X9 for F1152	DQS for X16/X18 for F1152	DQS for X4 for F1152 (with PMA Transceiver)	DQS for X8/X9 for F1152 (with PMA Transceiver)	DQS for X16/X18 for F1152 (with PMA Transceiver)	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/ X18 for F1517
		NC					U10	AD7	T23													
		NC					U20	AD28	R11													
		NC					T9	AC7	R12													
		NC					T10	AC28	R13													
		NC					N10		R23													
		NC					M9		R24													
		NC					M10															
		NC					M20															
		NC					L7															
		NC					L9															
		NC					L10															
		NC					K5															
		NC					K6															
		NC					K7															
		NC					K8															
		NC					K10															
		NC					K20															
		NC					J5															
		NC					J6															
		NC					G5															
		NC					F5															
		NC					C3															
		NC					B1															
		VCCAUX					G22	H27	F28	H29												
		VCCAUX					AB22	AF27	AH27	AL28												
		VCCAUX					AA7	AG8	AH8	AL12												
		VCCAUX					G7	J8	F7	G11												
		VCCA_L						Y29	AC30	AF35												
		VCCA_L						V29	U30	M35												
		VCCA_R					N6	Y6	AC5	AF5												
		VCCA_R					T5	V6	U5	M5												
		VCCH_GXBL0						AA28	Y29	AE34												
		VCCH_GXBL1						U28	R29	AA34												
		VCCH_GXBL2								U34												
		VCCH_GXBR0					V5	AA7	Y6	AE6												
		VCCH_GXBR1					L6	U7	R6	AA6												
		VCCH_GXBR2								U6												
		VCCL_GXBL0						AA26	W28	AE33												
		VCCL_GXBL0						Y27	Y28	AD33												
		VCCL_GXBL1						W28	P28	Y33												
		VCCL_GXBL1						Y27	R28	AA33												
		VCCL_GXBL2								T33												
		VCCL_GXBL2								U33												
		VCCL_GXBR0					R8	Y8	Y7	AD7												
		VCCL_GXBR0					T7	AA9	W7	AE7												
		VCCL_GXBR1					P7	W7	R7	AA7												
		VCCL_GXBR1					N8	V8	P7	Y7												
		VCCL_GXBR2								U7												
		VCCL_GXBR2								T7												
		VCCR_R					M5	U5	W5	Y5												
		VCCR_R					R6	AA5	N5	AD5												
		VCCR_R								T5												
		VCCR_L						U30	N30	Y35												
		VCCR_L						AA30	W30	AD35												
		VCCR_L								T35												
		VCCT_R					P5	AB6	AA5	V5												
		VCCT_R					U6	W5	R5	AB5												
		VCCT_R								P5												
		VCCT_L						AB29	AA30	V35												
		VCCT_L						W30	R30	AB35												
		VCCT_L								P35												
		VCCHIP_R					N9	W9	W9	Y9												
		VCCHIP_R					P9	Y10	Y9	AA9												
		VCCHIP_R					R9	Y9	V9	W9												
		VCCHIP_L						W26	V26	Y31												
		VCCHIP_L						Y26	Y26	AA31												
		VCCHIP_L						Y25	W26	W31												
		RREF_L0						AN34	AK34	AW38												
		RREF_L1							D34	A34												
		RREF_R0					AF1	AN1	AK1	AW2												
		RREF_R1					D1		D1	A6												

Notes:

1. EP4SGX110, EP4SGX180, EP4SGX230, EP4SGX290, and EP4SGX360 devices have two variants in the F1152 package option—one with no PMA-only transceiver channels (Transceiver Count of ordering code: F) and the other with eight PMA-only transceiver channels (Transceiver Count of ordering code: H).
2. Stratix IV GX devices without PMA transceiver channels do not have vertical migration to or from devices with PMA transceiver channels.

Copyright © 2009 Altera Corp.

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
		Clock and PLL Pins
CLK[1,3,8,10]p	Clock, Input	Dedicated high speed clock input pins 1, 3, 8, and 10 that can also be used for data inputs. OCT Rd is not supported on these pins.
CLK[1,3,8,10]n	Clock, Input	Dedicated negative clock input pins for differential clock input that can also be used for data inputs. OCT Rd is not supported on these pins.
CLK[0,2,9,11]p	I/O, Clock	These pins can be used as I/O pins or clock input pins. OCT Rd is supported on these pins.
CLK[0,2,9,11]n	I/O, Clock	These pins can be used as I/O pins or negative clock input pins for differential clock inputs. OCT Rd is supported on these pins.
CLK[4:7,12:15]p	I/O, Clock	These pins can be used as I/O pins or clock input pins. OCT Rd is not supported on these pins.
CLK[4:7,12:15]n	I/O, Clock	These pins can be used as I/O pins or negative clock input pins for differential clock inputs. OCT Rd is not supported on these pins.
PLL_[L1,L4,R1,R4]_CLKp	Clock, Input	Dedicated clock input pins to PLL L1, L4, R1, and R4 respectively.
PLL_[L1,L4,R1,R4]_CLKn	Clock, Input	Dedicated negative clock input pins for differential clock input to PLL L1, L4, R1, and R4 respectively.
PLL_[L1, L2, L3, L4]_CLKOUT0n PLL_[R1, R2, R3, R4]_CLKOUT0n	I/O, Clock	Each left and right PLL supports 2 clock I/O pins, configured either as 2 single ended I/O or one differential I/O pair. When using both pins as single ended I/Os, PLL_#_CLKOUT0n can be the clock output while the PLL_#_FB_CLKOUT0p is the external feedback input pin.
PLL_[L1, L2, ,L3, L4]_FB_CLKOUT0p PLL_[R1, R2, R3, R4]_FB_CLKOUT0p	I/O, Clock	
PLL_[T1,T2,B1,B2]_FBp/CLKOUT1	I/O, Clock	
PLL_[T1,T2,B1,B2]_FBn/CLKOUT2	I/O, Clock	Dual purpose I/O pins that can be used as two single-ended outputs or one differential external feedback input pin.
PLL_[T1,T2,B1,B2]_CLKOUT[3,4]	I/O, Clock	These pins can be used as I/O pins or two single-ended clock output pins.
PLL_[T1,T2,B1,B2]_CLKOUT0p	I/O, Clock	I/O pins that can be used as two single-ended clock output pins or one differential clock output pair.
PLL_[T1,T2,B1,B2]_CLKOUT0n	I/O, Clock	
		Dedicated Configuration/JTAG Pins
nIO_PULLUP	Input	Dedicated input that chooses whether the internal pull-ups on the user I/O pins and dual-purpose I/O pins (DATA[0:7], CLKUSR, INIT_DONE, DEV_OE, DEV_CLRn) are on or off before and during configuration. A logic high turns off the weak pull-up, while a logic low turns them on.
TEMPDIODEp	Input	Pin used in conjunction with the temperature sensing diode (bias-high input) inside the FPGA.
TEMPDIODEn	Input	Pin used in conjunction with the temperature sensing diode (bias-low input) inside the FPGA.
MSEL[0:2]	Input	Configuration input pins that set the FPGA device configuration scheme.
nCE	Input	Dedicated active-low chip enable. When nCE is low, the device is enabled. When nCE is high, the device is disabled.
nCONFIG	Input	Dedicated configuration control input. Pulling this pin low during user-mode will cause the FPGA to lose its configuration data, enter a reset state, and tri-state all I/O pins. Returning this pin to a logic high level will initiate reconfiguration.
CONF_DONE	Bidirectional (open-drain)	This is a dedicated configuration done pin. As a status output, the CONF_DONE pin drives low before and during configuration. Once all configuration data is received without error and the initialization cycle starts, CONF_DONE is released. As a status input, CONF_DONE goes high after all data is received. Then the device initializes and enters user mode. It is not available as a user I/O pin.
nCEO	Output	Output that drives low when device configuration is complete.
nSTATUS	Bidirectional (open-drain)	This is a dedicated configuration status pin. The FPGA drives nSTATUS low immediately after power-up and releases it after POR time. As a status output, the nSTATUS is pulled low if an error occurs during configuration. As a status input, the device enters an error state when nSTATUS is driven low by an external source during configuration or initialization. It is not available as a user I/O pin.
PORSEL	Input	Dedicated input which selects between a POR time of 12 ms or 100 ms. A logic high selects a POR time of 12 ms and a logic low selects POR time of 100 ms.
nCSO	Output	Dedicated output control signal from the FPGA to the serial configuration device in AS mode that enables the configuration device.
ASDO	Output	Control signal from the FPGA to the serial configuration device in AS mode used to read out configuration data.
DCLK	Input (PS, FPP) Output (AS)	Dedicated configuration clock pin. In PS and FPP configuration, DCLK is used to clock configuration data from an external source into the FPGA. In AS mode, DCLK is an output from the FPGA that provides timing for the configuration interface.
TCK	Input	Dedicated JTAG input pin.
TMS	Input	Dedicated JTAG input pin.
TDI	Input	Dedicated JTAG input pin.
TDO	Output	Dedicated JTAG output pin.
TRST	Input	Dedicated active low JTAG input pin. TRST is used to asynchronously reset the JTAG boundary-scan circuit.
		Optional/Dual-Purpose Configuration Pins
CRC_ERROR (Note 6)	I/O, Output (open-drain)	Active high signal that indicates that the error detection circuit has detected errors in the configuration SRAM bits. This pin is optional and is used when the CRC error detection circuit is enabled.

Copyright © 2009 Altera Corp.

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
DEV_CLRn (Note 6)	I/O, Input	Optional pin that allows designers to override all clears on all device registers. When this pin is driven low, all registers are cleared; when this pin is driven high (VCCPGM), all registers behave as programmed.
DEV_OE (Note 6)	I/O, Input	Optional pin that allows designers to override all tri-states on the device. When this pin is driven low, all I/O pins are tri-stated; when this pin is driven high (VCCPGM), all I/O pins behave as defined in the design.
DATA0 (Note 6)	I/O, Input	Dual-purpose configuration data input pin. The DATA0 pin can be used for bit-wide configuration or as an I/O pin after configuration is complete.
DATA[1:7] (Note 6)	I/O, Input	Dual-purpose configuration input data pins. The DATA[1:7] pins can be used for byte-wide configuration or as regular I/O pins. These pins can also be used as user I/O pins after configuration.
INIT_DONE (Note 6)	I/O, Output (open-drain)	This is a dual-purpose pin and can be used as an I/O pin when not enabled as INIT_DONE. When enabled, a transition from low to high at the pin indicates when the device has entered user mode. If the INIT_DONE output is enabled, the INIT_DONE pin cannot be used as a user I/O pin after configuration.
CLKUSR (Note 6)	I/O, Input	Optional user-supplied clock input. Synchronizes the initialization of one or more devices. If this pin is not enabled for use as a user-supplied configuration clock, it can be used as a user I/O pin.
Differential I/O Pins		
DIFFIO_RX[##]p, DIFFIO_RX[##]n	I/O, RX channel	These are true LVDS receiver channels on side and column I/O banks. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX[##]p, DIFFIO_TX[##]n	I/O, TX channel	These are true LVDS transmitter channels on side I/O banks. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFOUT_[##]p, DIFFOUT_[##]n	I/O, TX channel	These are emulated LVDS output channels. On column I/O banks, there are true LVDS input buffers but no true LVDS output buffers. However, all column user I/Os, including I/Os with true LVDS input buffers, can be configured as emulated LVDS output buffers. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
External Memory Interface Pins		
DQS[1:38][T,B], DQS[1:34][L,R]	I/O,DQS	Optional data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase shift circuitry. The shifted DQS signal car also drive to internal logic.
DQSn[1:38][T,B], DQSn[1:34][L,R]	I/O,DQSn	Optional complementary data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase shift circuitry.
DQ[1:38][T,B], DQ[1:34][L,R]	I/O,DQ	Optional data signal for use in external memory interfacing. The order of the DQ bits within a designated DQ bus is not important; however, use caution when making pin assignments if you plan on migrating to a different memory interface that has a different DQ bus width. Analyze the available DQ pins across all pertinent DQS columns in the pin list.
CQ[1:38][T,B], CQ[1:34][L,R]	DQS	Optional data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.
CQn[1:38][T,B], CQn[1:34][L,R]	DQS	Optional complementary data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.
Reference Pins		
RUP[1:8]A, RUP[3,8]C	I/O, Input	Reference pins for I/O banks. The RUP pins share the same VCCIO with the I/O bank where they are located. The external precision resistor RUP must be connected to the designated RUP pin within the bank. If not required, this pin is a regular I/O pin.
RDN[1:8]A, RDN[3,8]C	I/O, Input	Reference pins for I/O banks. The RDN pins share the same GND with the I/O bank where they are located. The external precision resistor RDN must be connected to the designated RDN pin within the bank. If not required, this pin is a regular I/O pin.
DNU	Do Not Use	Do not connect to power or ground or any other signal; must be left floating.
NC	No Connect	Do not drive signals into these pins.
Supply Pins		
VCC	Power	VCC supplies power to the core and periphery.
VCCD_PLL_[L,R][1:4], VCCD_PLL_[T,B][1:2]	Power	Digital power for PLL[L[1:4],R[1:4],T[1:2],B[1:2]]. The designer must connect these pins to the voltage level that recommended in datasheet, even if the PLL is not used.
VCCPT	Power	Power supply for the programmable power technology.

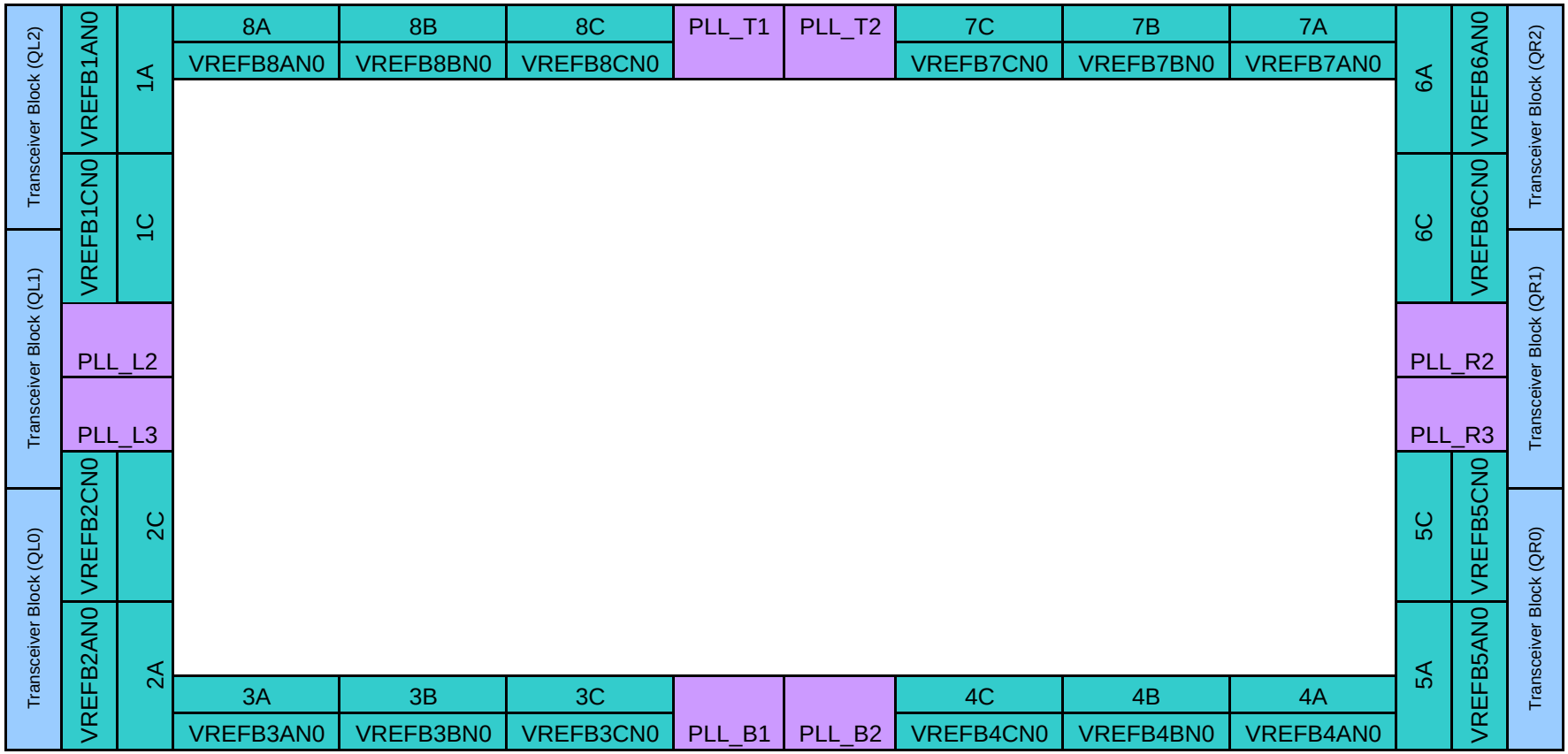
Copyright © 2009 Altera Corp.

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
VCCA_PLL_[L,R][1:4], VCCA_PLL_[T,B][1:2]	Power	Analog power for PLL [L[1:4],R[1:4],T[1:2],B[1:2]]. The designer must connect these pins to the voltage level that recommended in datasheet, even if the PLL is not used. It is advised to keep this pin isolated from other VCC for better jitter performance.
VCCAUX	Power	Auxiliary supply for the programmable power technology.
VCCIO[1:8][A,C], VCCIO[2,3,4,5,7,8]B	Power	These are I/O supply voltage pins for banks 1 through 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all LVDS, LVCMOS(1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.3 V), HSTL(12, 15, 18), SSTL(15, 18, 2), 3.0 V PCI/PCI-X I/O as well as LVTTL 3.3 V I/O standards. VCCIO also supplies power to the input buffers used for LVCMOS(1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.3 V), 3.0 V PCI/PCI-X and LVTTL 3.3 V I/O standards.
VCCPGM	Power	Configuration pins power supply.
VCCPD[1:8][A,C], VCCPD[2,3,4,5,7,8]B	Power	Dedicated power pins. This supply is used to power the I/O pre-drivers.
VCC_CLKIN[3,4,7,8]C	Power	Differential clock input power supply for top and bottom I/O banks.
VCCBAT	Power	Battery back-up power supply for design security volatile key register.
GND	Ground	Device ground pins.
VREFB[1:8][A,C]N0, VREFB[2,3,4,5,7,8]BN0	Power	Input reference voltage for each I/O bank. If a bank uses a voltage-referenced I/O standard, then these pins are used as the voltage-reference pins for the bank.
Transceiver (I/O Banks) Pins		
VCCHIP_[L,R]	Power	PCIe Hard IP digital power supply, specific to the left (L) side or right (R) side of the device.
VCCR_[L,R]	Power	Analog power, receiver, specific to the left (L) side or right (R) side of the device.
VCCT_[L,R]	Power	Analog power, transmitter, specific to the left (L) side or right (R) side of the device.
VCCL_GXB[L,R][0:3]	Power	Analog power, block level clock distribution.
VCCH_GXB[L,R][0:3]	Power	Analog power, block level TX buffers.
VCCA_[L,R]	Power	Analog power, TX driver, RX receiver, CDR, specific to the left (L) side or right (R) side of the device.
GXB_RX_[L,R][0:15]p (Note 3)	Input	High speed positive differential receiver channels. Specific to the left (L) side or right (R) side of the device.
GXB_RX_[L,R][0:15]n (Note 3)	Input	High speed negative differential receiver channels. Specific to the left (L) side or right (R) side of the device.
GXB_TX_[L,R][0:15]p (Note 3)	Output	High speed positive differential transmitter channels. Specific to the left (L) side or right (R) side of the device.
GXB_TX_[L,R][0:15]n (Note 3)	Output	High speed negative differential transmitter channels. Specific to the left (L) side or right (R) side of the device.
REFCLK_[L,R][0:7]p GXB_CMURX_[L,R][0:7]p (Note 4 and 5)	Input	High speed differential reference clock positive, or CMU receiver channels, specific to the left (L) side or right (R) side of the device.
REFCLK_[L,R][0:7]n GXB_CMURX_[L,R][0:7]n (Note 4 and 5)	Input	High speed differential reference clock complement, or CMU complementary receiver channel, specific to the left (L) side or right (R) side of the device.
GXB_CMUTX_[L,R][0:7]p (Note 5) GXB_CMUTX_[L,R][0:7]n	Output	CMU transmitter channels, specific to the left (L) side or right (R) side of the device.
RREF_[L,R][0:1]	Input	Reference resistor for transceiver, specific to the left (L) side or right (R) side of the device.

Notes:

1. This pin definition is prepared based on the EP4SGX530.
2. Some of the pull-up /pull-down resisitors mentioned in the table above may not be required, depending on the exact device configuration scheme.
   The ability to NC or short them may be valuable during the debug phase, should you be required to use a different configuration scheme.
   Refer to the Configuring Stratix IV GX Devices chapter in the Stratix IV GX Device Handbook for more information.
3. Transceiver signals GXB_RX[0:15] and GXB_TX[0:15] are device specific.
4. Dual purpose CMU Receiver channels. Can be used either as reference clock or CMU receiver channels in devices with 5th and 6th channels.
5. Only available in package with 5th and 6th channels.
6. These dual purpose configuration pins can only be used as configuration pins but not regular I/O in F780 of EP4SGX360 and EP4SGX290.
7. Refer to Pin Connections Guidelines and datasheet for the recommended operating voltage.

Copyright © 2009 Altera Corp.



Note:

1. This is only a pictorial representation to provide an idea of placement on the device. Refer to the pin list and the Quartus® II software for exact locations.

Copyright © 2009 Altera Corp.

Version Number	Date	Changes Made
1.0	3/12/2009	Initial release.
1.1	12/3/2009	Added bank number for JTAG pins.
		Updated Note (1) in Pin List.
		Grouped nCSO, ASDO, and DCLK into dedicated configuration/JTAG pins in Pin Definitions.

Copyright © 2009 Altera Corp.